



Studentenmitteilung

4. Semester - SS 2006

Abt. Technische Informatik
Gerätebeauftragter
Dr. rer.nat. Hans-Joachim Lieske
Tel.: [49]-0341-97 32213
Zimmer: HG 02-37
e-mail: lieske@informatik.uni-leipzig.de
www: <http://tipc023.informatik.uni-leipzig.de/~lieske/>
Sprechstunde: Mi. 14⁰⁰ – 15⁰⁰

Datum: Donnerstag, 6. Juli 2006

Deutsche Kurzanleitung Lattice ISPLever v5.0 zum Elektronik Grundlagenpraktikum

5. Praktikumskomplex

Arbeit mit dem Lattice-Starter Kit und den programmierbaren Lattice-MACH4-Schaltkreisen

Arbeit mit dem Programm am Beispiel eine AND-Gatters.

Mit Hilfe des Programms **Lattice ISPLever v5.0** und des dazugehörigen Boards ist es möglich logische Schaltungen auf einen programmierbaren Schaltkreis zu laden.

Im Beispiel wird die Erstellung eines UND-Gatters gezeigt.
Es wird der Schaltkreis **LATTICE iM4A5-32/32 10JC-12JI** verwendet.
Im Praktikum kann aber auch ein anderer Schaltkreis verwendet werden.

Vorgehensweise:

1. Zeichnen der Schaltung und Erstellung der Schaltungs-Datei (Schematic -File).
2. Festlegender Anschlüsse auf dem Board.
3. Codegenerierung (JEDEC-File)
4. Laden der Schaltung in den Schaltkreis.

1. Zeichnen der Schaltung und Erstellung der Schaltungs-Datei (Schematic-File).

(and_gatter_001.sch)

Starten des Schaltungseditors

Start / Alle Programme / Lattice Semiconductor / ispLEVER Project Navigator

Erzeugen eines neuen Projektes

File / New Project...

Benennen des neuen Projektes

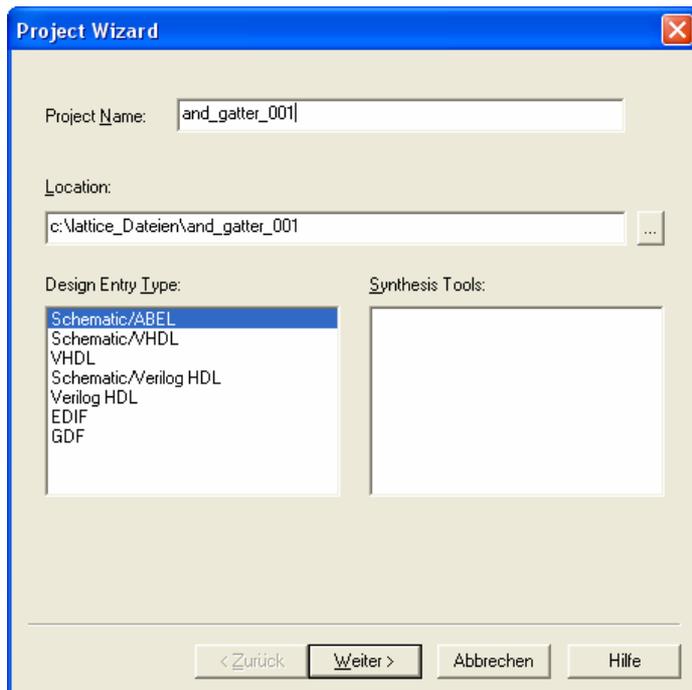
Der Name sollte an die Schaltung angepaßt werden.

Hier: „and_gatter_001“

Besser ist es ein eigenes Verzeichnis zu erstellen.

Beispiel: c:\lattice_Dateien\and_gatter_001

Als Projekttyp ist „Schematic/ABEL“ zu wählen.



Danach auf Weiter

Anklicken folgender Optionen:

Family: **ispMach 4A5**

Device: **M4A5-32/32**

Part Name: **M4A5-32/32-10JC**

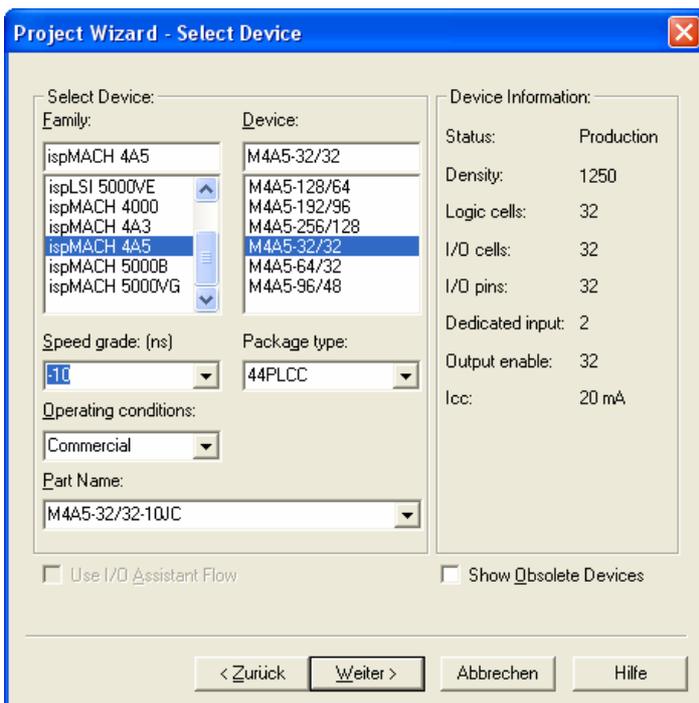
Die Einstellungen können je nach Schaltkreistyp differieren!

Die restlichen Einstellungen wie auf dem Bild.

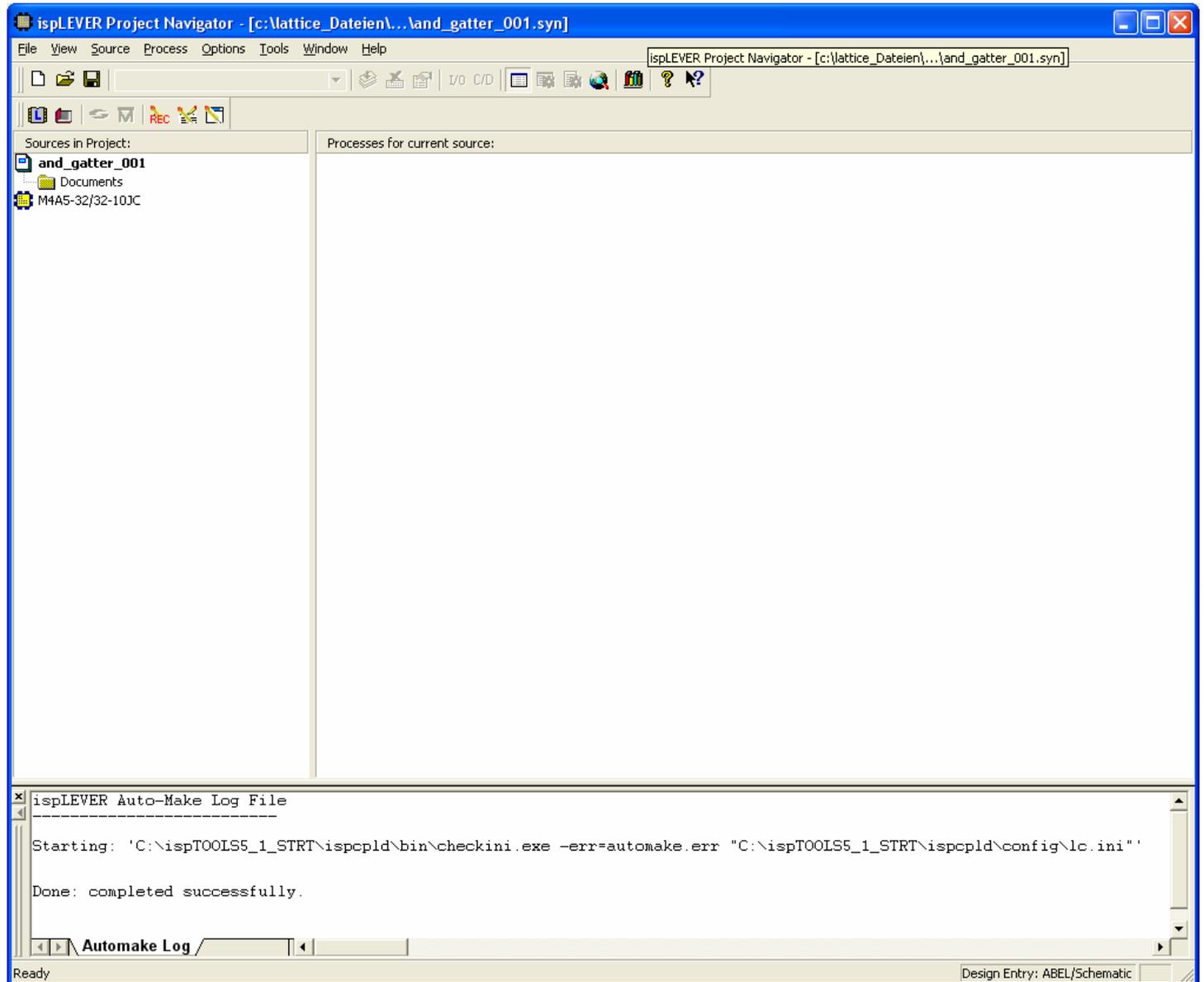
Auf Weiter Klicken

Wieder auf Weiter

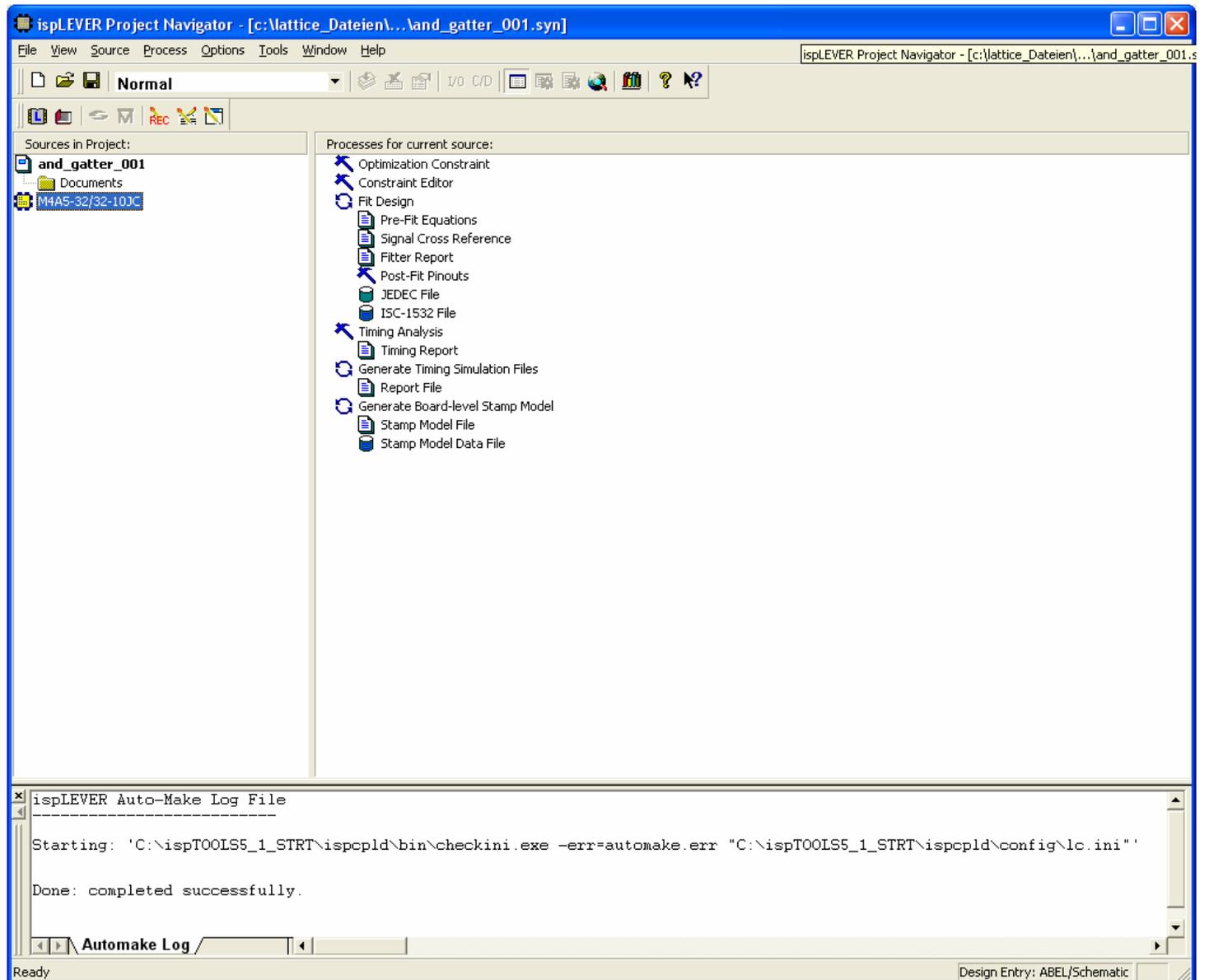
Auf fertig stellen



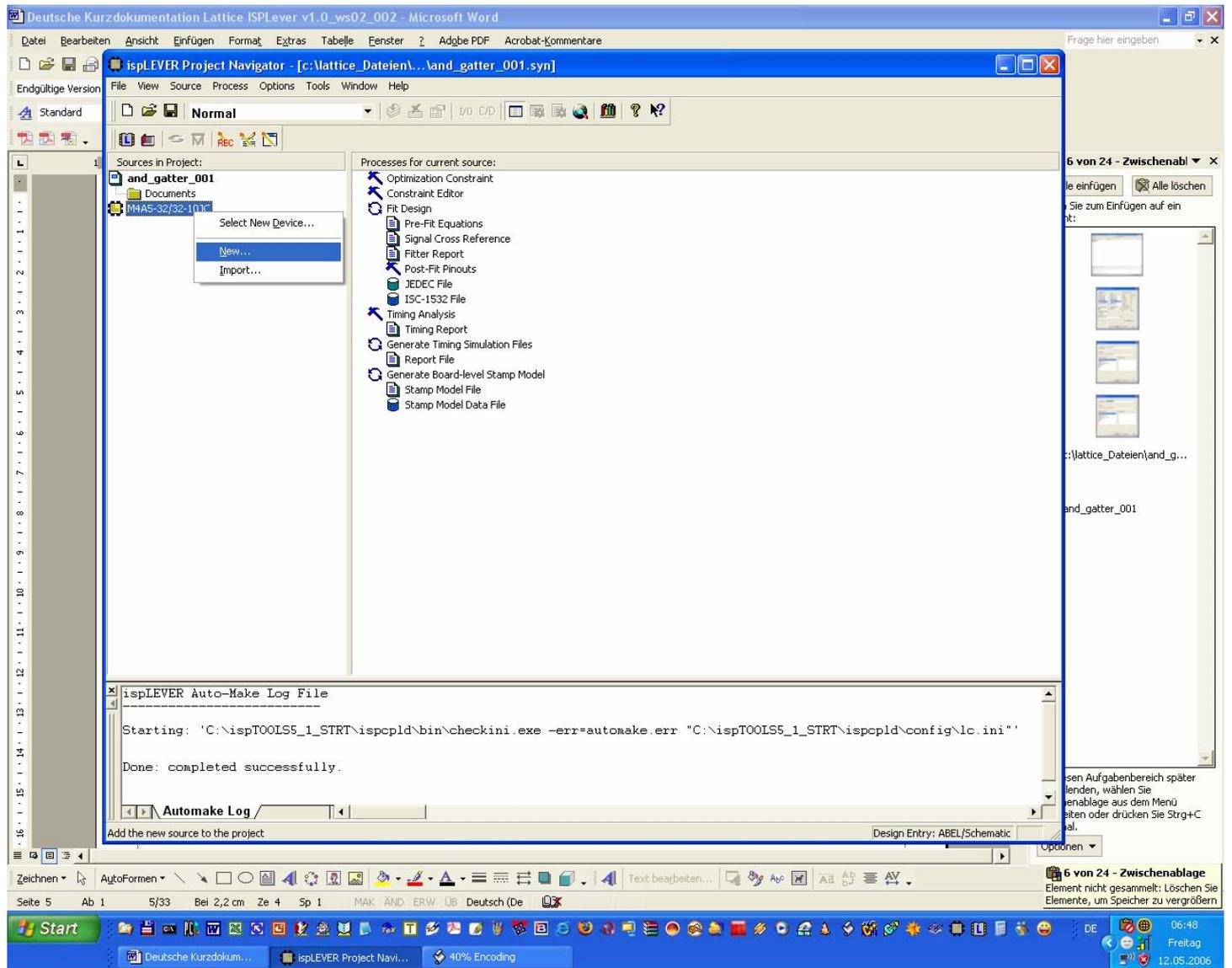
Auf den Bildschirm ist folgendes Fenster zu sehen



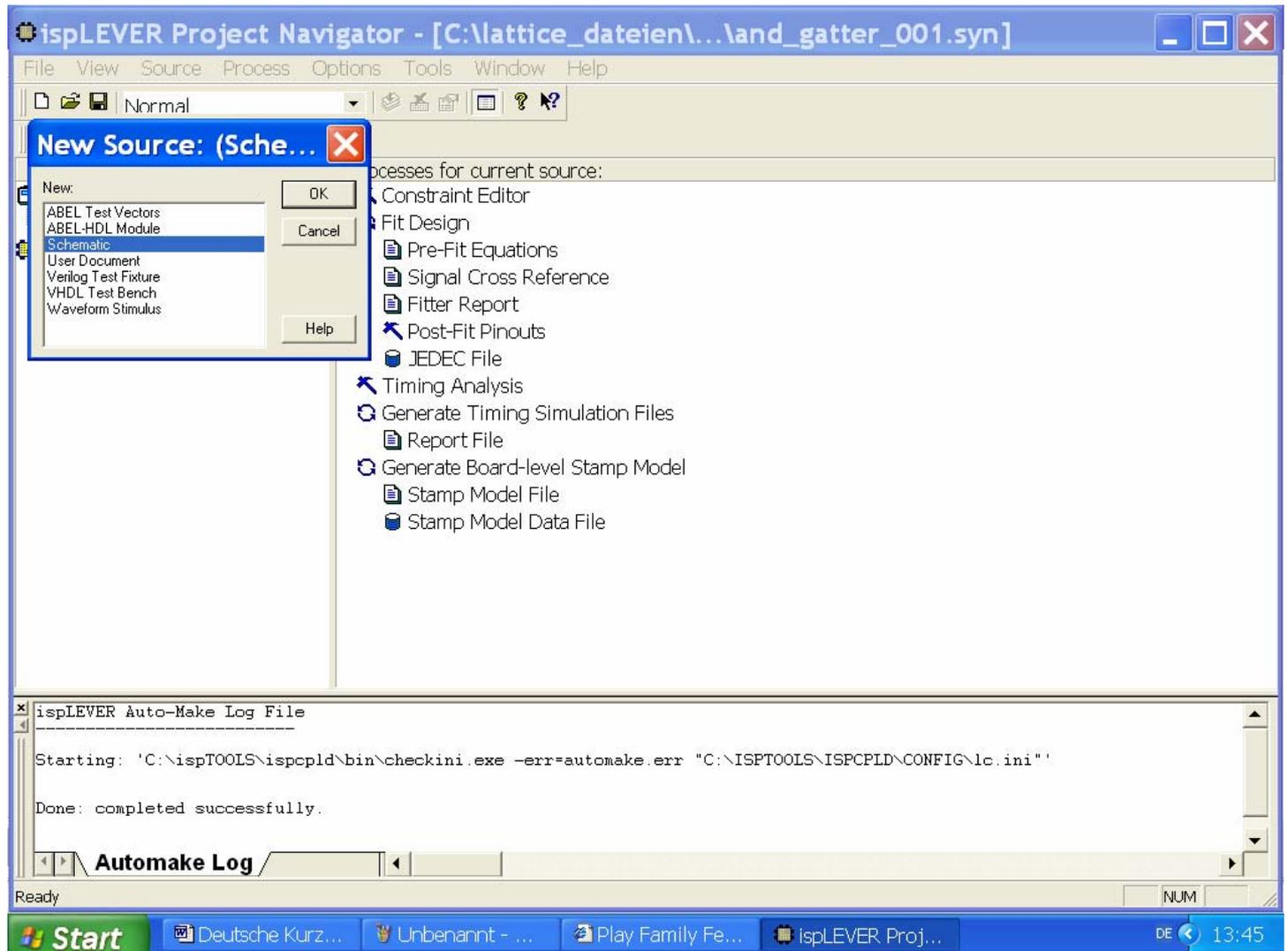
Mit rechter Maustaste auf „M4A5-32/32-10JC“ Klicken.
Das Verzeichnis kann bei einem anderen Schaltkreis anders aussehen.



Klick auf „New...“



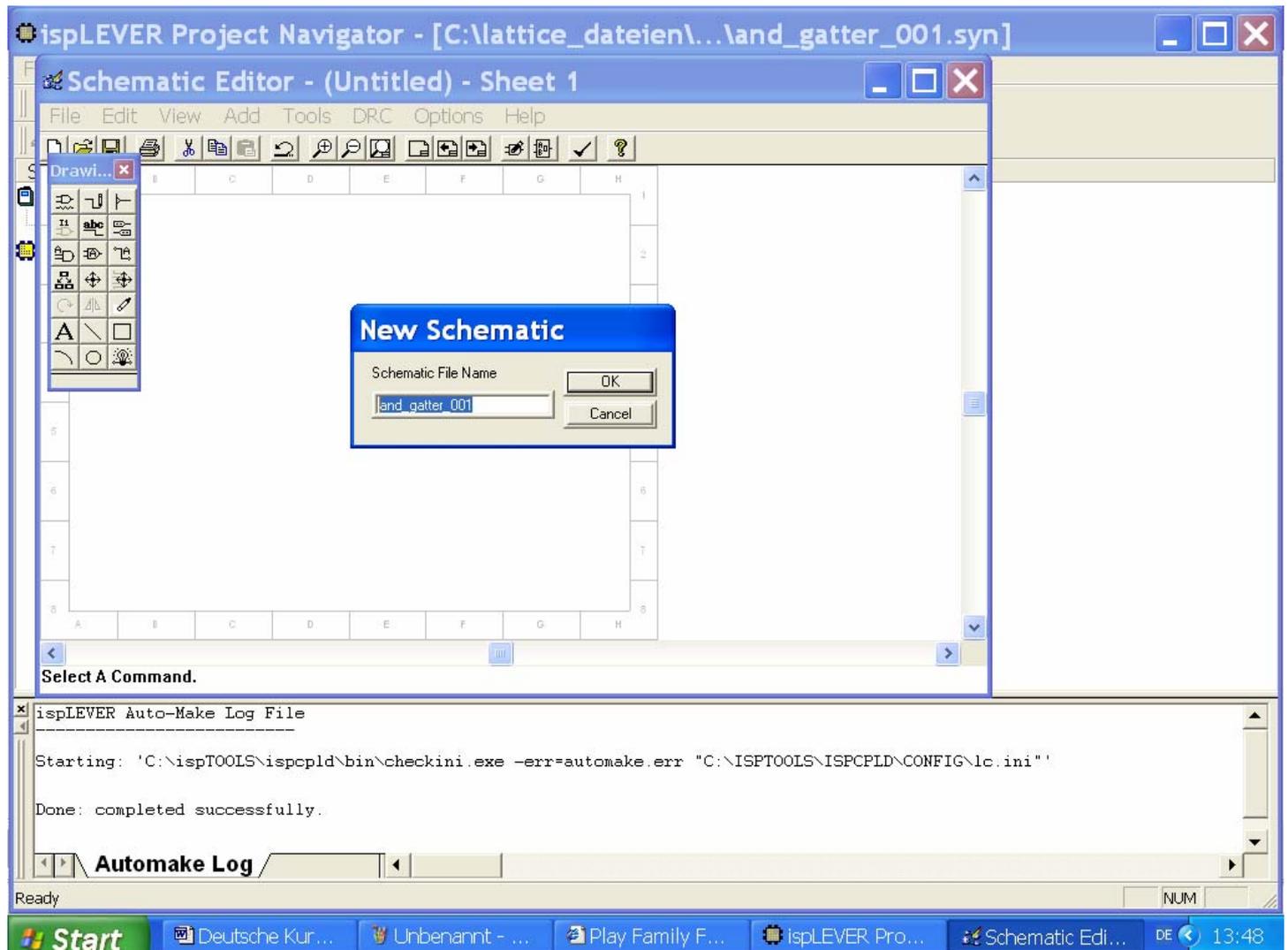
„Schematic“ anwählen und mit „OK“ quittieren.



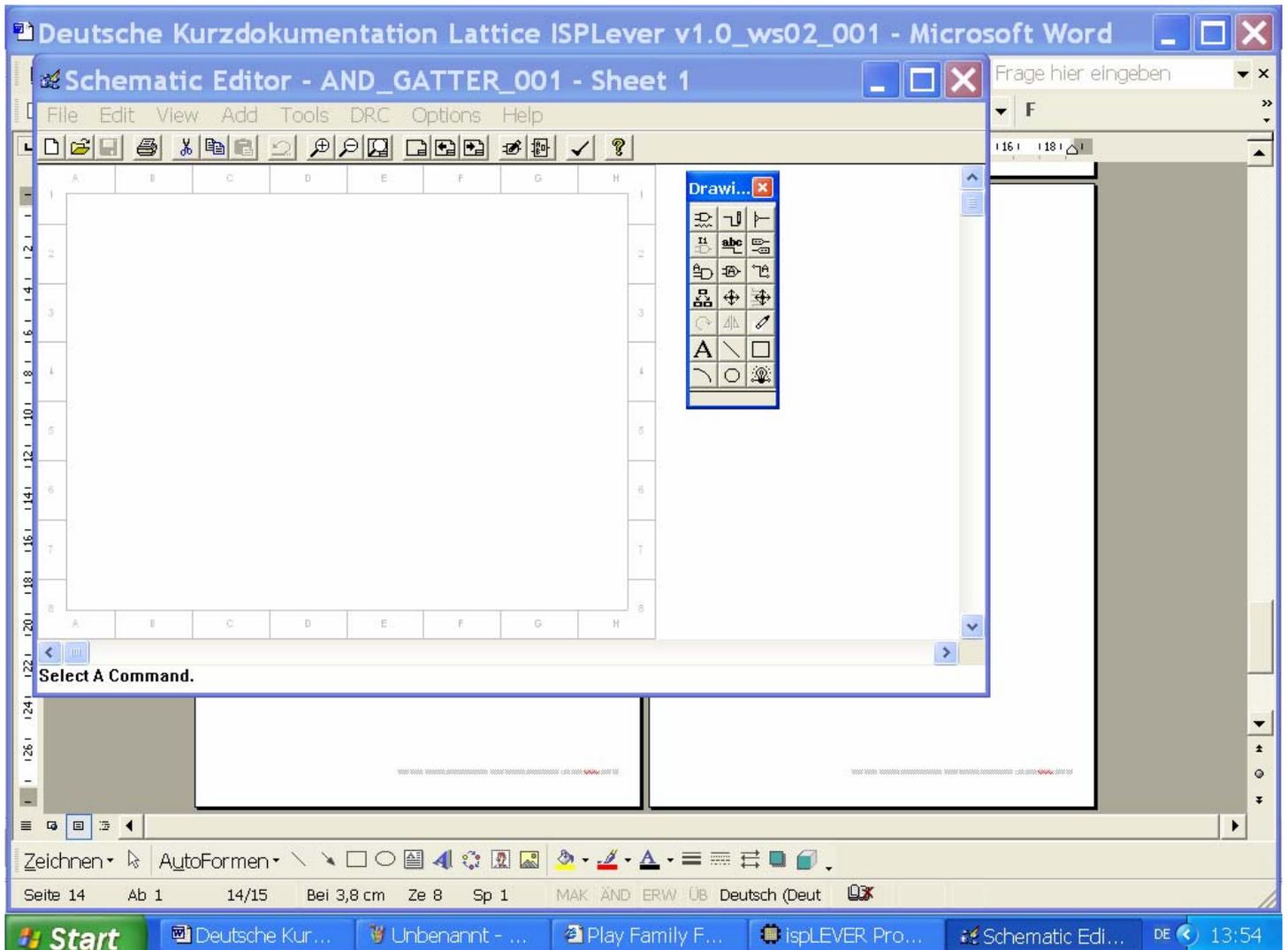
Es erscheint der Schematic Editor.

Einen Namen für den Schematic-File wählen, am besten, wie den Projektnamen, hier „and_gatter_001“

Danach mit „OK“ quittieren.

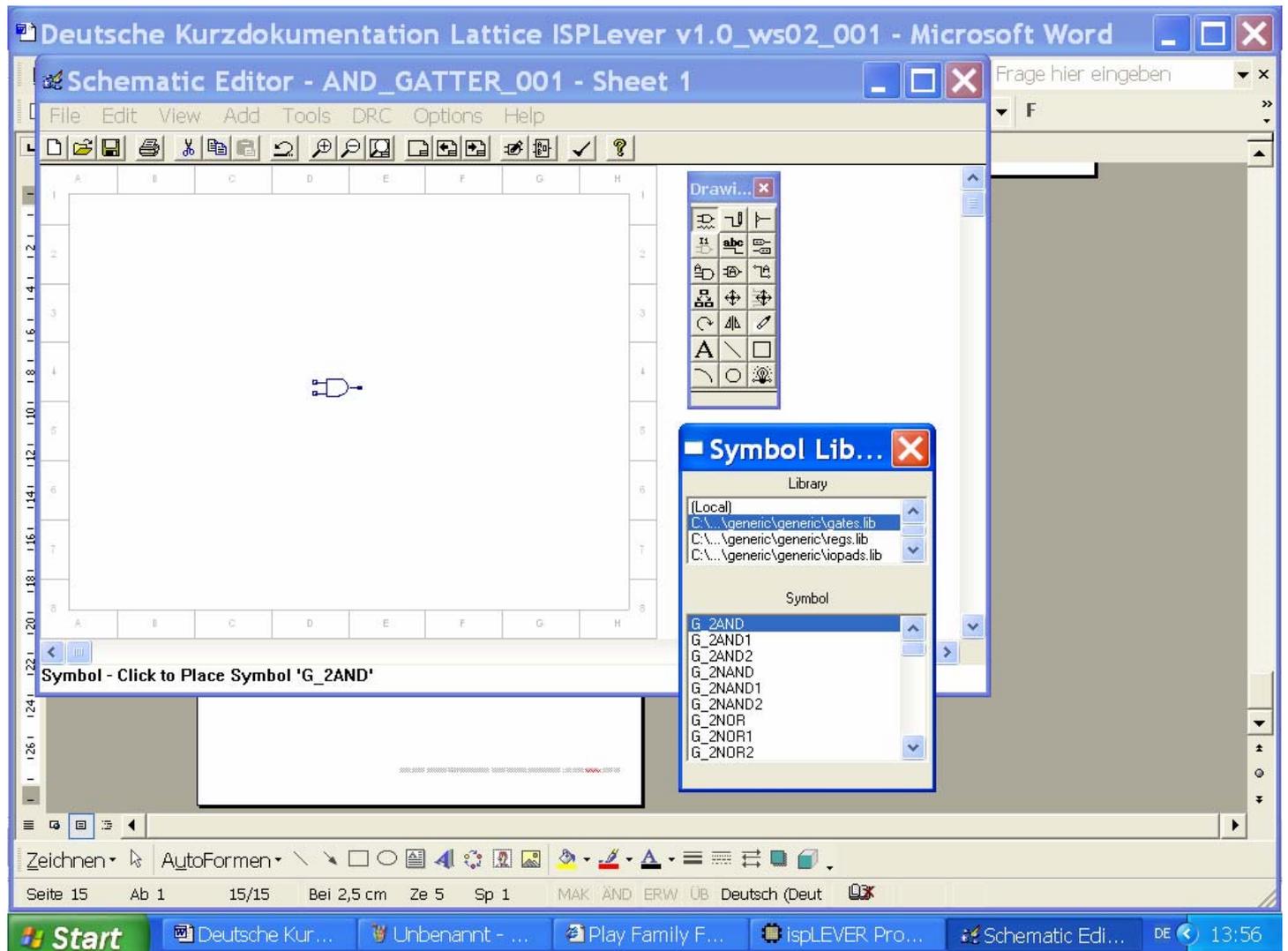


Es erscheint der Schematic Editor.



Nun kann mit dem Schematic Editor die Schaltung erstellt werden.

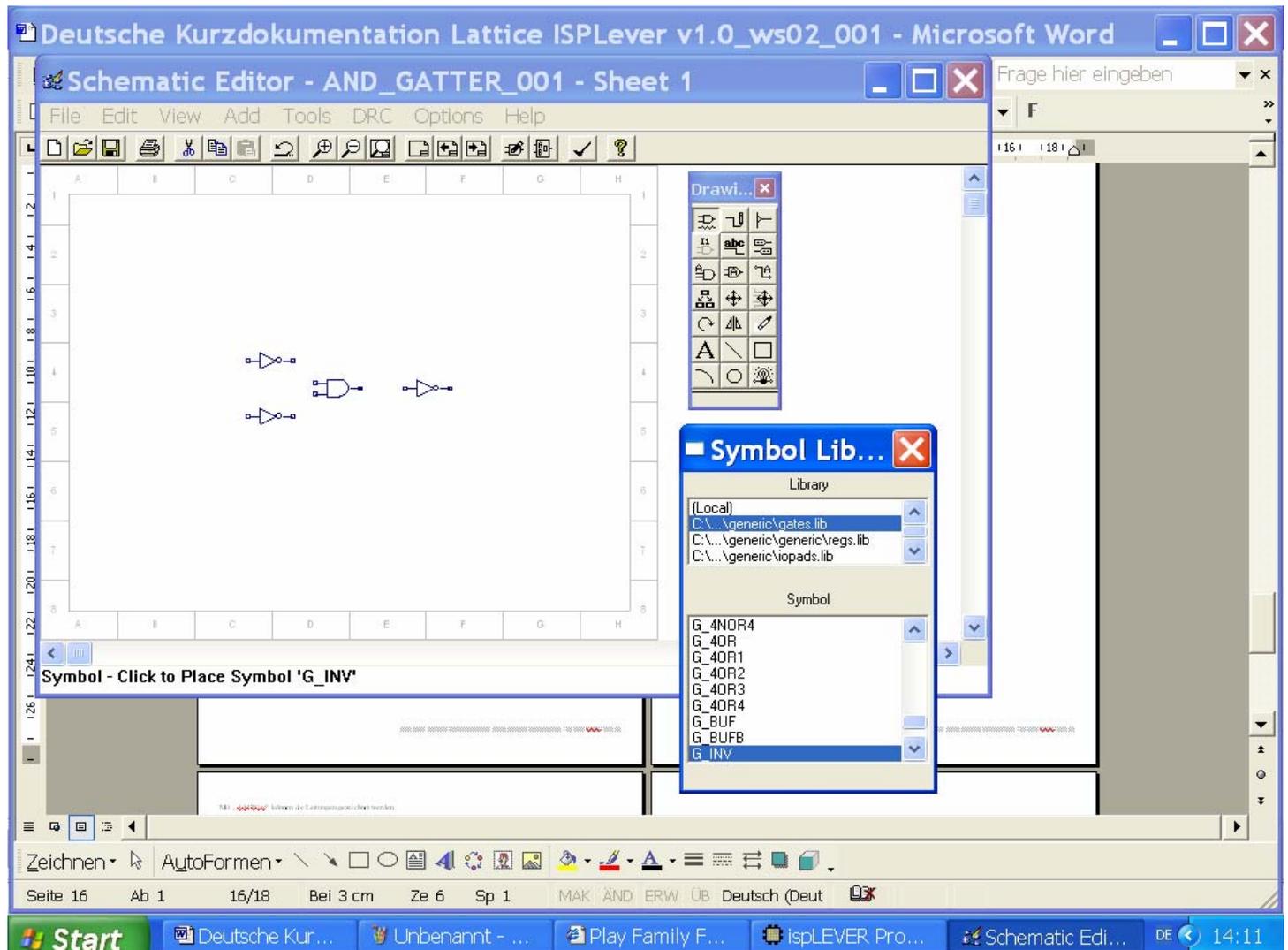
In „Symbol Lib...“ sind die logischen Schaltungen.



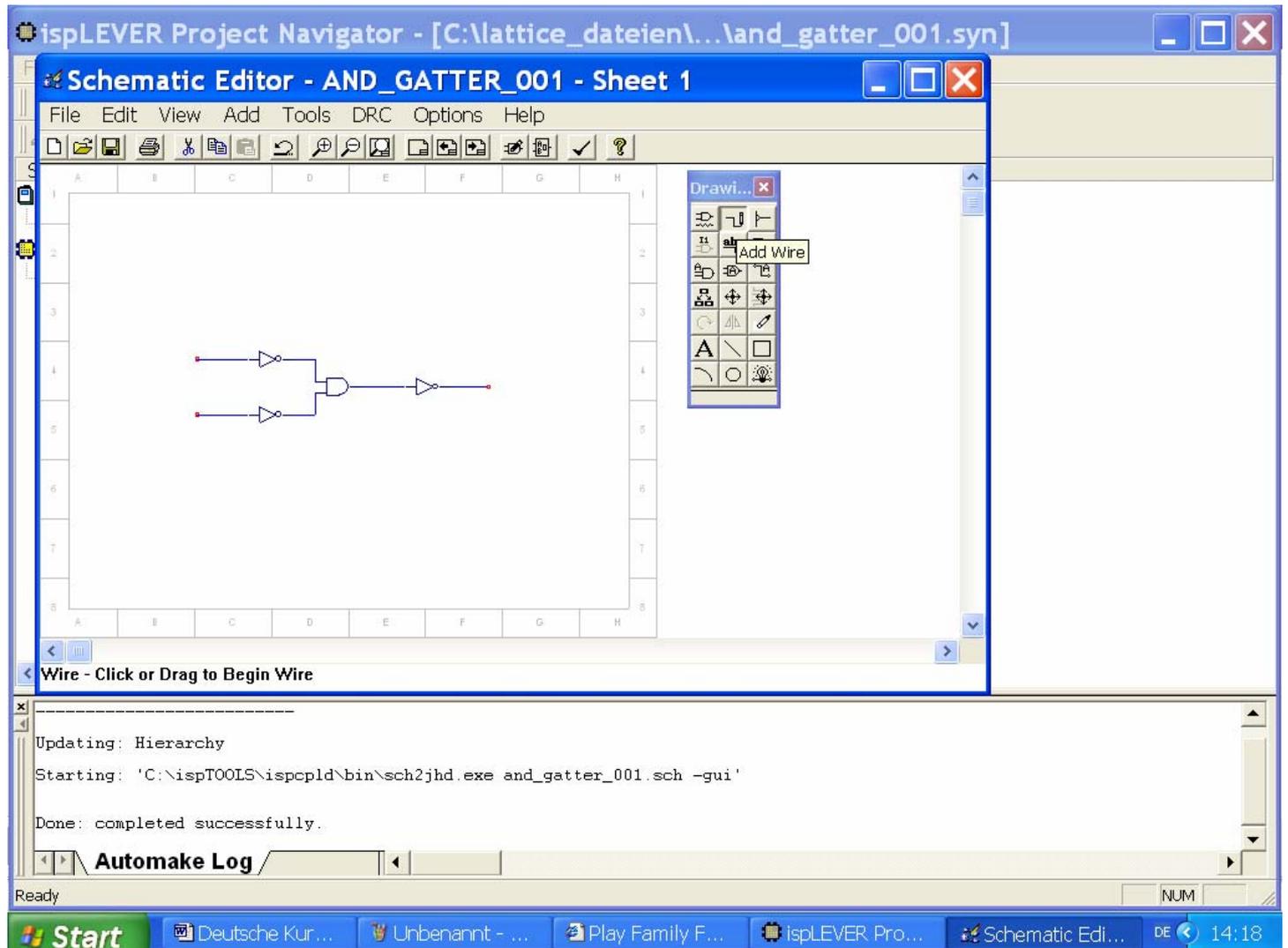
Diese Schaltungskonfiguration hat eine Besonderheit.

Um das gewohnte Schaltverhalten zu erreichen müssen die Ein- und Ausgänge invertiert werden.

Dann leuchten die Dioden bei „high“ oder „1“ und es ist „high“ oder „1“ bei gedrückter Taste.



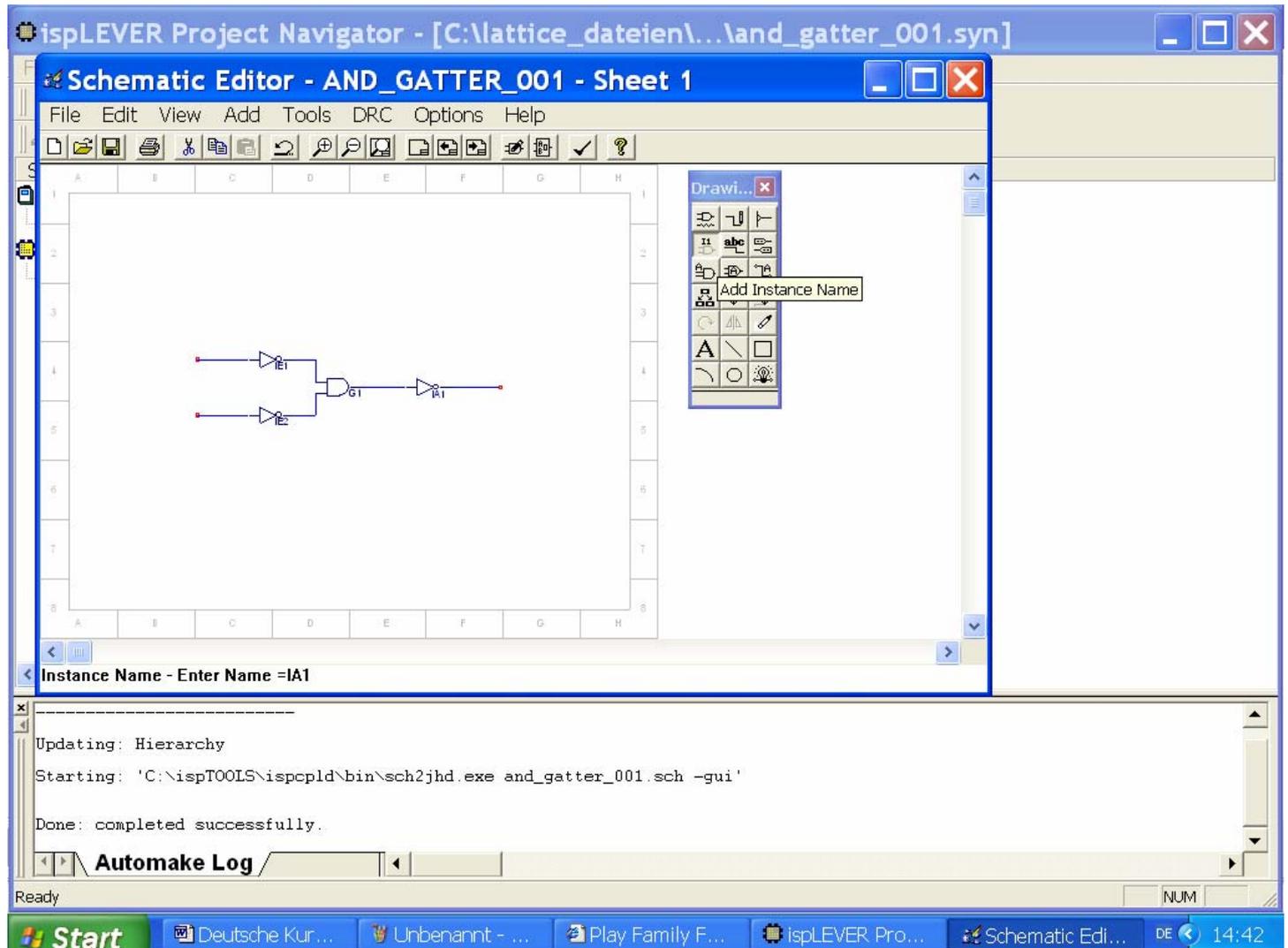
Mit „Add Wire“ können die Leitungen gezeichnet werden.
Es müssen auch für die Anschlüsse nach außen Leitungen gezeichnet werden!



Mittels „Add Instance Name“ können die Gatter benannt werden.

Es ist wie folgt vorzugehen:

1. Den gewünschten Namen in die untere Zeile schreiben
2. Den Namen mit <Enter> quittieren.
3. den Namen auf das Bauteil schieben und mit der linken Maustaste klicken.



Ähnlich verfährt man mit der Beschriftung der Anschlusspunkte.

The screenshot shows the ispLEVER Project Navigator window with the Schematic Editor open. The schematic editor displays a logic circuit with two input pins labeled 'E0' and 'E1', each connected to an inverter. The outputs of these inverters are connected to the inputs of an AND gate labeled 'G1'. The output of the AND gate is connected to the input of an inverter labeled 'A1', which has an output pin labeled 'A1'. A 'Drawi...' dialog box is open on the right side of the schematic editor, with the 'Add Net Name' option selected. Below the schematic editor, the Automake Log window is visible, showing the following text:

```
Updating: Hierarchy
Starting: 'C:\nispTOOLS\ispcpld\bin\sch2jhd.exe and_gatter_001.sch -gui'
Done: completed successfully.
```

The Windows taskbar at the bottom shows the Start button and several open applications, including 'Deutsche Kur...', 'Unbenannt - ...', 'Play Family F...', 'ispLEVER Pro...', and 'Schematic Edi...'. The system clock shows the time as 14:44.

Danach können die Anschlusspunkte als Ein- und Ausgänge definiert werden.

Für die Eingänge aktivieren Sie Input und umrahmen des Anschluß durch drücken der linken Maustaste.

Für die Ausgänge aktivieren Sie Output und umrahmen des Anschluß durch drücken der linken Maustaste.

The screenshot displays the 'Schematic Editor - AND_GATTER_001 - Sheet 1' window. The main workspace shows a logic circuit with two input pins labeled 'E0' and 'E1', an AND gate labeled 'G1', and an output pin labeled 'A1'. The 'Draw...' menu is open, showing various drawing tools and the 'Add I/O Marker' option. A status bar at the bottom of the editor indicates 'I/O Marker - Select Net Name Flag on End of Wire'. Below the schematic editor, the 'Automake Log' window shows the following text:

```
Updating: Hierarchy
Starting: 'C:\ispTOOLS\ispcpld\bin\sch2jhd.exe and_gatter_001.sch -gui'
Done: completed successfully.
```

The Windows taskbar at the bottom shows the Start button and several open applications, including 'Deutsche Kur...', 'Unbenannt - ...', 'Play Family F...', 'ispLEVER Pro...', and 'Schematic Edi...'. The system clock shows '14:49'.

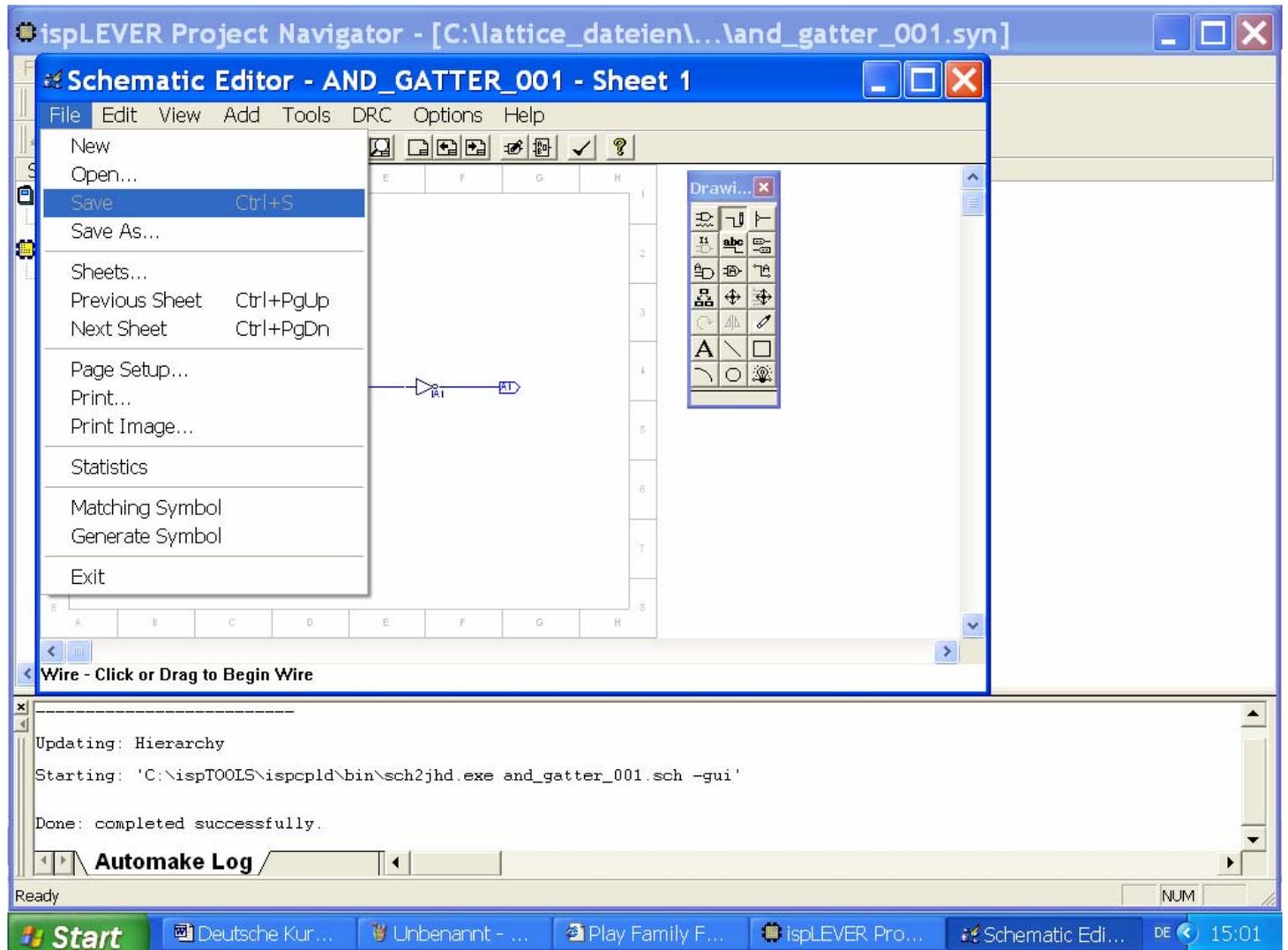
Für die Ausgänge aktivieren Sie Output und umrahmen des Anschluß durch drücken der linken Maustaste.

The screenshot displays the ispLEVER Project Navigator and Schematic Editor. The main window shows a logic circuit with two input pins (E0 and E1), two inverters (I0 and I1), an AND gate (G1), and an output pin (F1). The 'Draw' toolbar is open, and the 'Add I/O Marker' tool is highlighted. A status bar at the bottom indicates 'I/O Marker - Select Net Name Flag on End of Wire'. The Automake Log window shows the following text:

```
Updating: Hierarchy
Starting: 'C:\nispTOOLS\ispcpld\bin\sch2jhd.exe and_gatter_001.sch -gui'
Done: completed successfully.
```

The Windows taskbar at the bottom shows the Start button and several open applications, including 'Deutsche Kur...', 'Unbenannt - ...', 'Play Family F...', 'ispLEVER Pro...', and 'Schematic Edi...'. The system clock shows 14:54.

Danach kann man die Datei speichern und den Schematic Editor schließen.

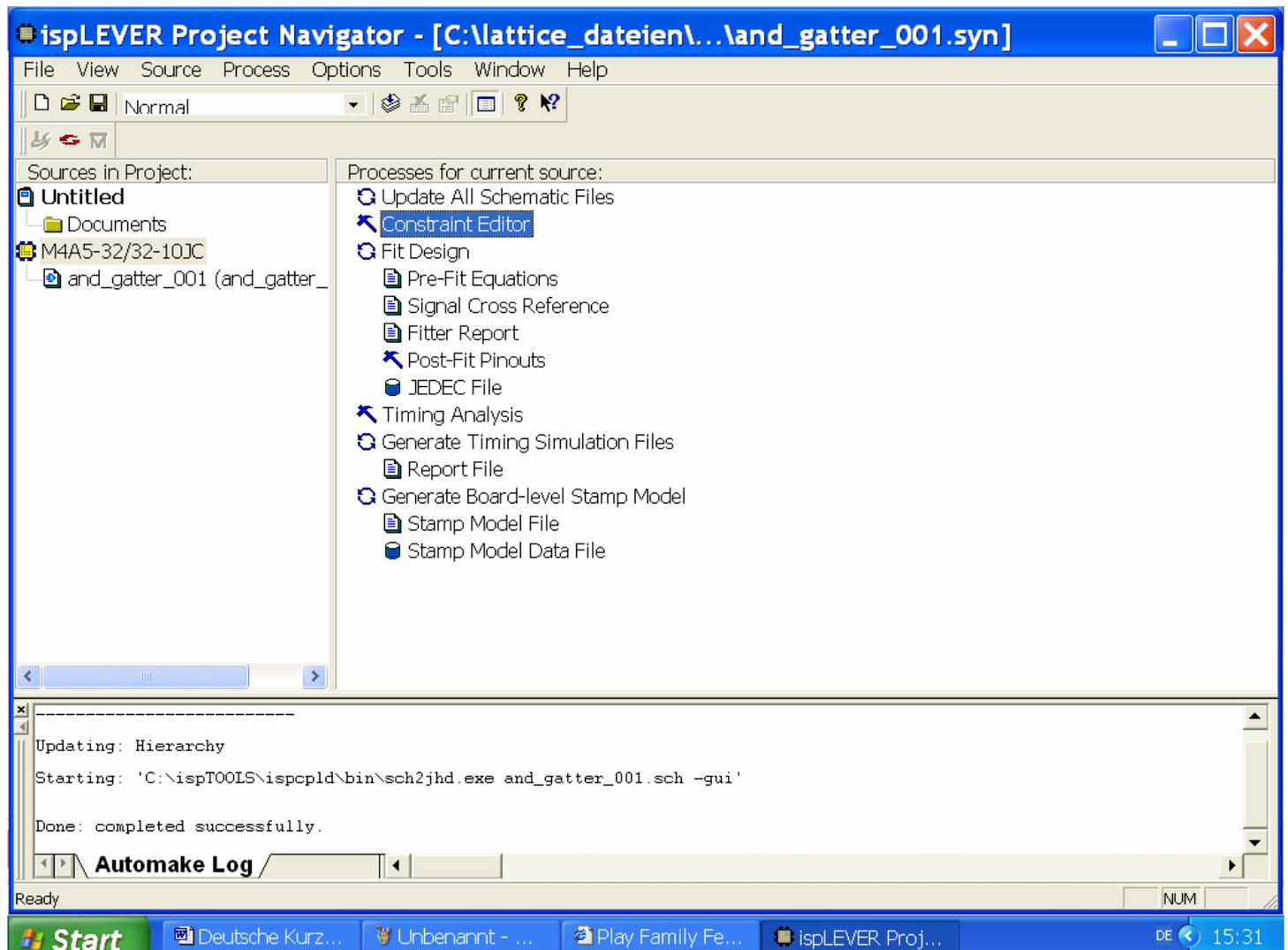


2. Festlegender Anschlüsse auf dem Board.

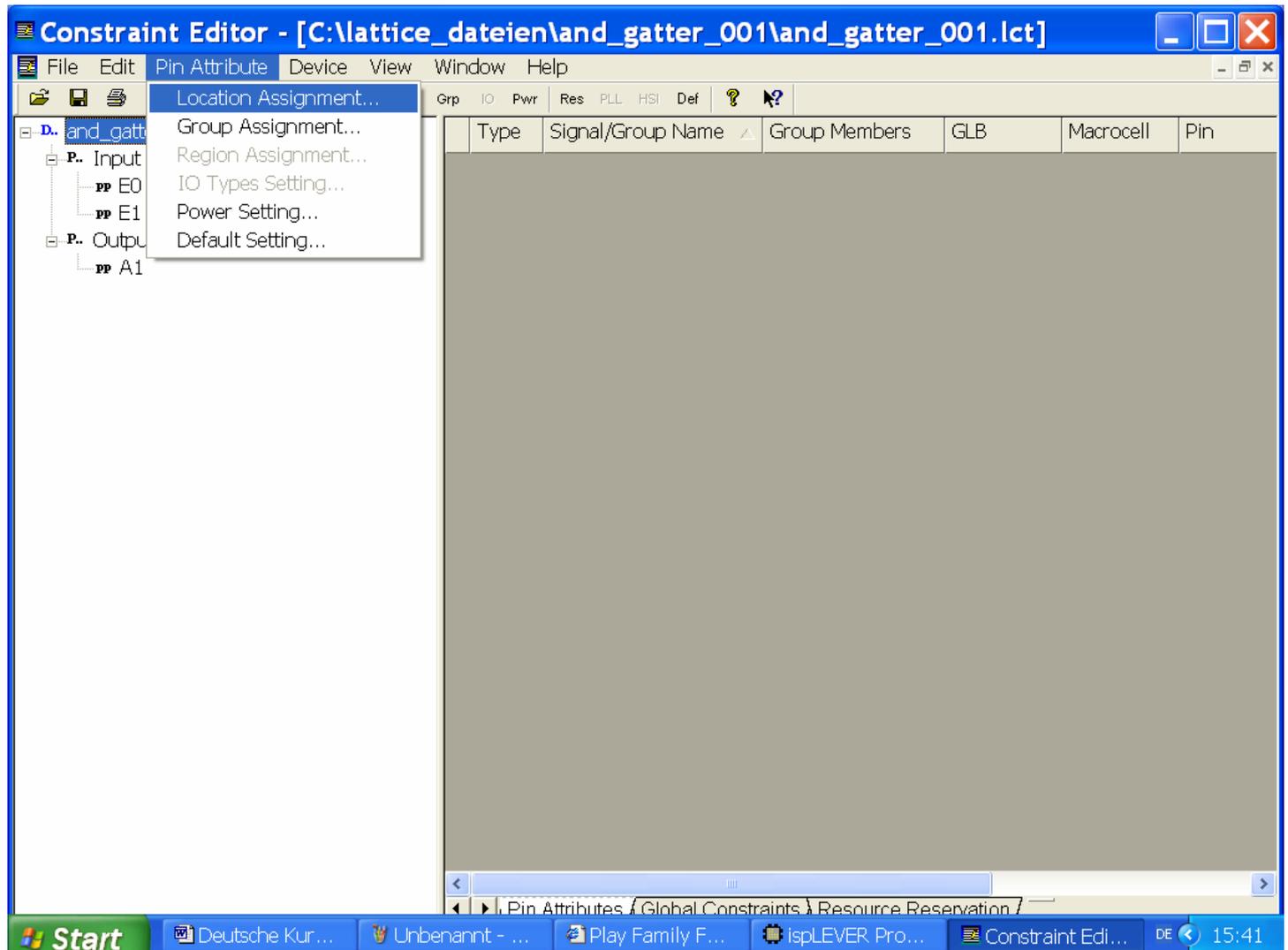
Danach werden Die Anschlüsse auf dem Demoboard festgelegt.

Die Belegung der Anschlüsse sind aus der Tabelle im Anhang zu entnehmen!

Im „ispLever Projekt Navigator“ auf „Constaint Editor“ doppelklicken.



Die Pfade von „and_gatter_001“ (+) aufschalten (-).
„Location Assigment“ aufschalten (Doppelklick).

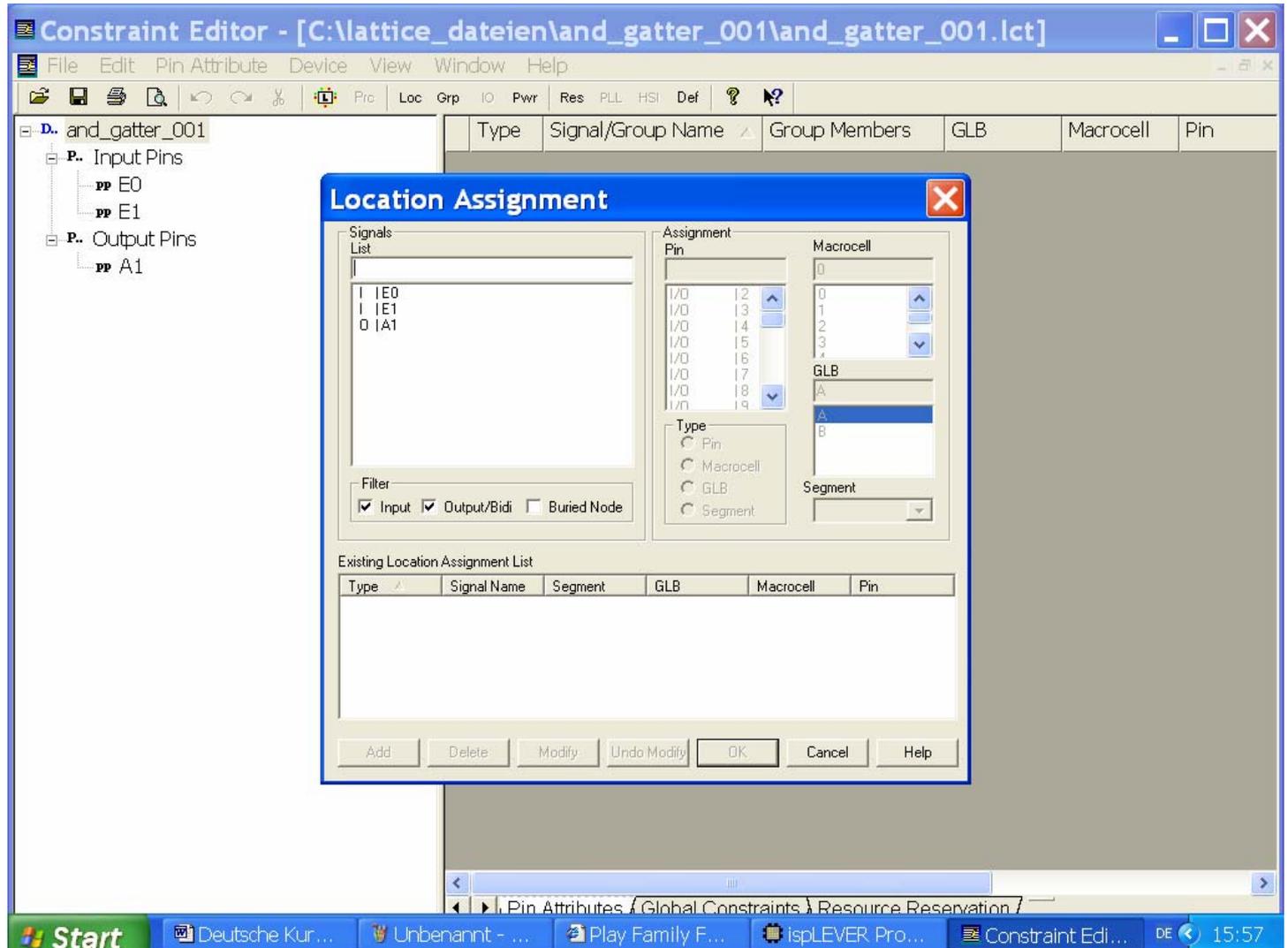


Festlegen der „Input-Pins“ und „Output-Pins“ die Kästchen Input und Output/Bidi haben einen Haken!

Die entsprechenden Ein- und Ausgänge sind nacheinander links auszuwählen danach den entsprechenden Pin zuordnen und mit „Add“ zu bestätigen.

Im Beispiel:

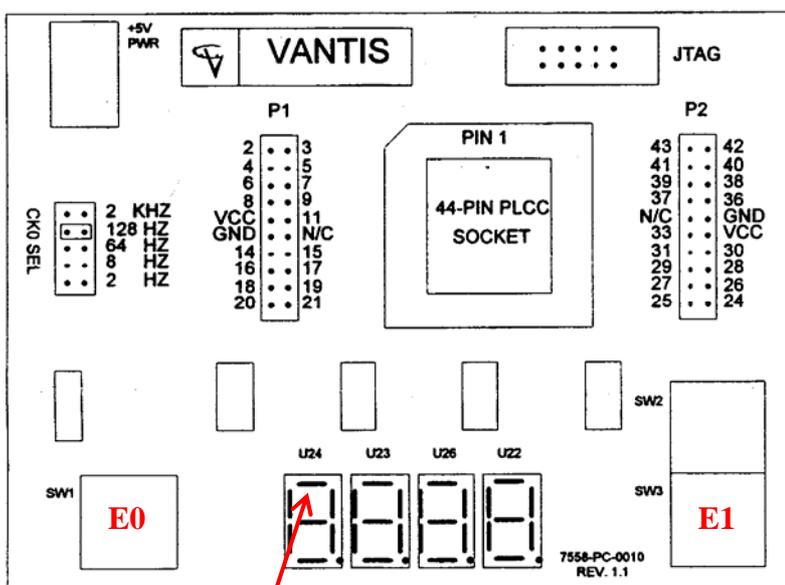
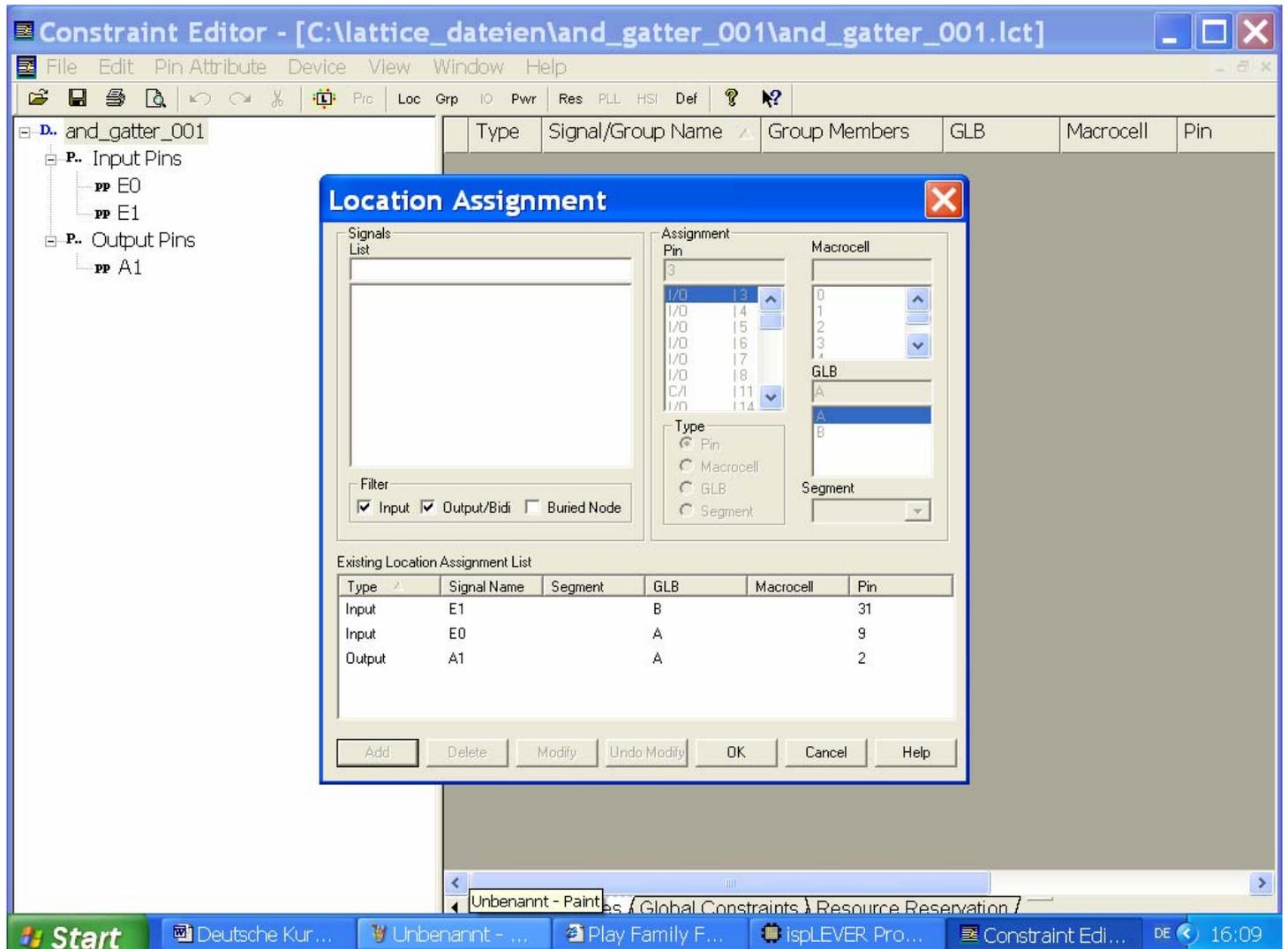
E0	SW 1	I/O 7	Pin 9
E1	SW 3	I/O 23	Pin 31
A1	U 24 Segment A	I/O 0	Pin 2



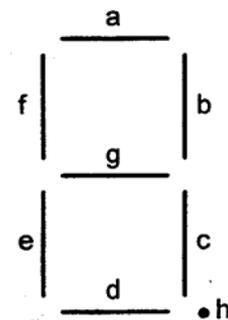
Device Pin	Pin Definition	MACH Inputs	LED	Comment
1	GND			
2	I/O 0		U24-A	
3	I/O 1		U24-B	
4	I/O 2		U24-C	
5	I/O 3		U24-D	
6	I/O 4		U24-E	
7	I/O 5		U24-F	
8	I/O 6		U24-G	
9	I/O 7	SW1	U24-H (DP)	Use as Input only
10	TDI			
11	CLK 0 / I 0	CK0 Clock		Select with jumper
12	GND			
13	TCK			
14	I/O 8		U23-A	
15	I/O 9		U23-B	
16	I/O 10		U23-C	
17	I/O 11		U23-D	
18	I/O 12		U23-E	
19	I/O 13		U23-F	
20	I/O 14		U23-G	
21	I/O 15	SW2	U23-H (DP)	Use as Input only
22	VCC			
23	GND			
24	I/O 16		U26-A	
25	I/O 17		U26-B	
26	I/O 18		U26-C	
27	I/O 19		U26-D	
28	I/O 20		U26-E	
29	I/O 21		U26-F	
30	I/O 22		U26-G	
31	I/O 23	SW3	U26-H (DP)	Use as Input only
32	TMS			
33	CLK 1 / I 1	CK1 Clock		4 Hz Clock signal
34	GND			
35	TDO			
36	I/O 24		U22-A	
37	I/O 25		U22-B	
38	I/O 26		U22-C	
39	I/O 27		U22-D	
40	I/O 28		U22-E	
41	I/O 29		U22-F	
42	I/O 30		U22-G	
43	I/O 31		U22-H (DP)	
44	VCC			

VANTIS-READ ME FIRST; PROMO2.DOC; Rev.2, 1/4/1999; Seite 1

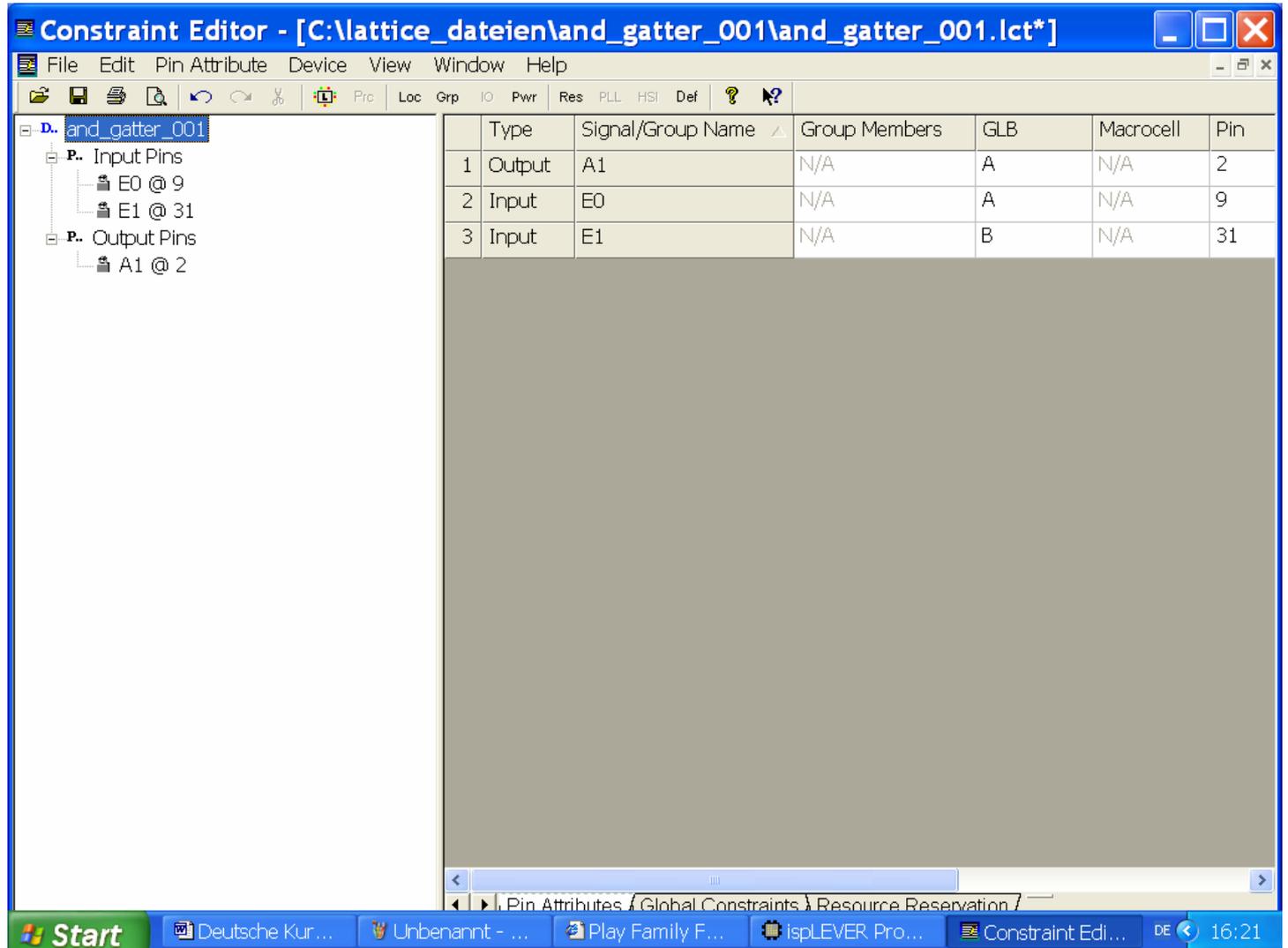
Es sollte sich folgendes Bild ergeben:
 Danach ist der Dialog mit „OK“ zu beenden.



A1

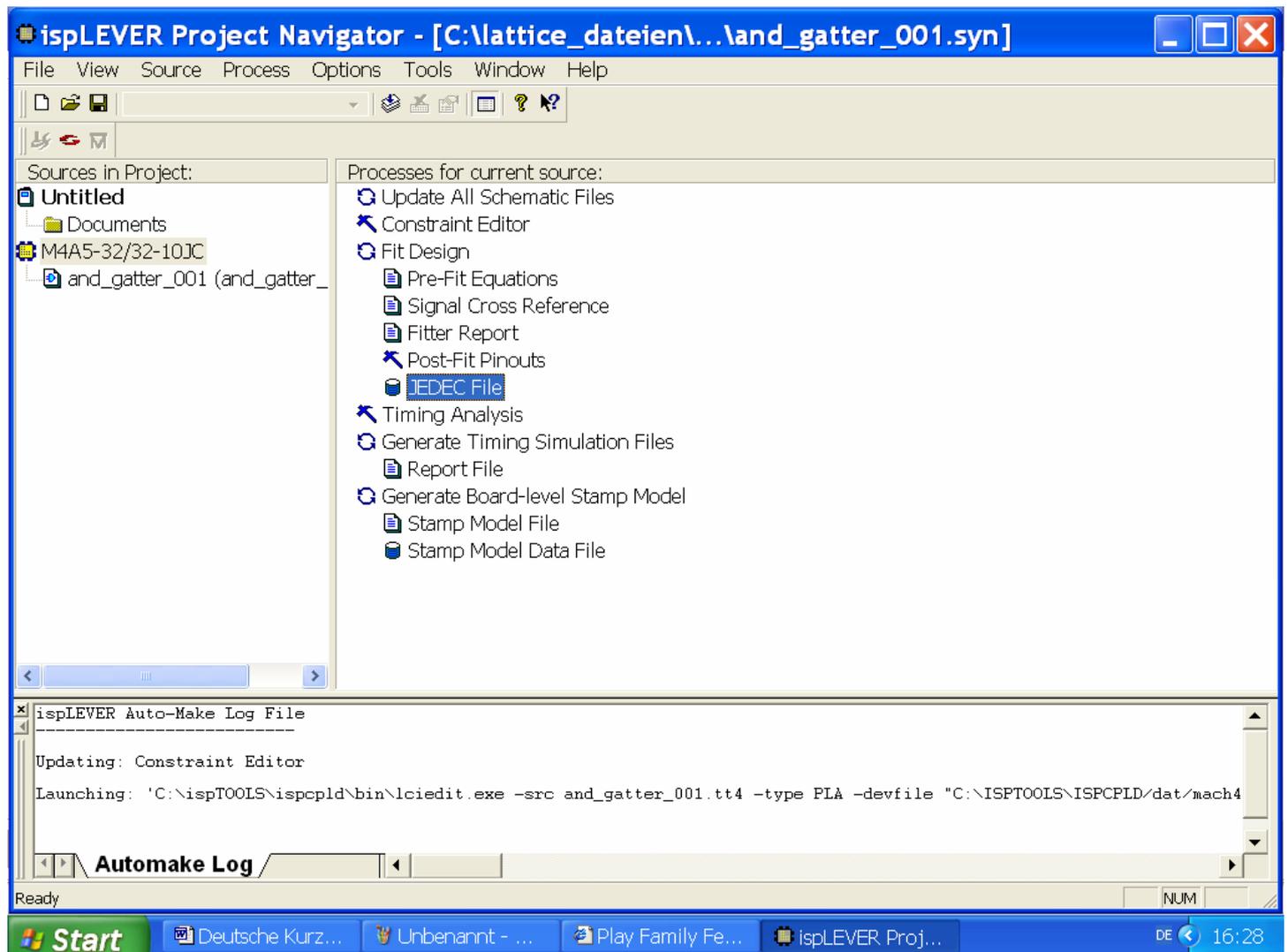


Es kommt folgendes Bild:
Danach kann der "Constaint Editor" geschlossen werden.
Speichern mit „Ja“ quittieren.

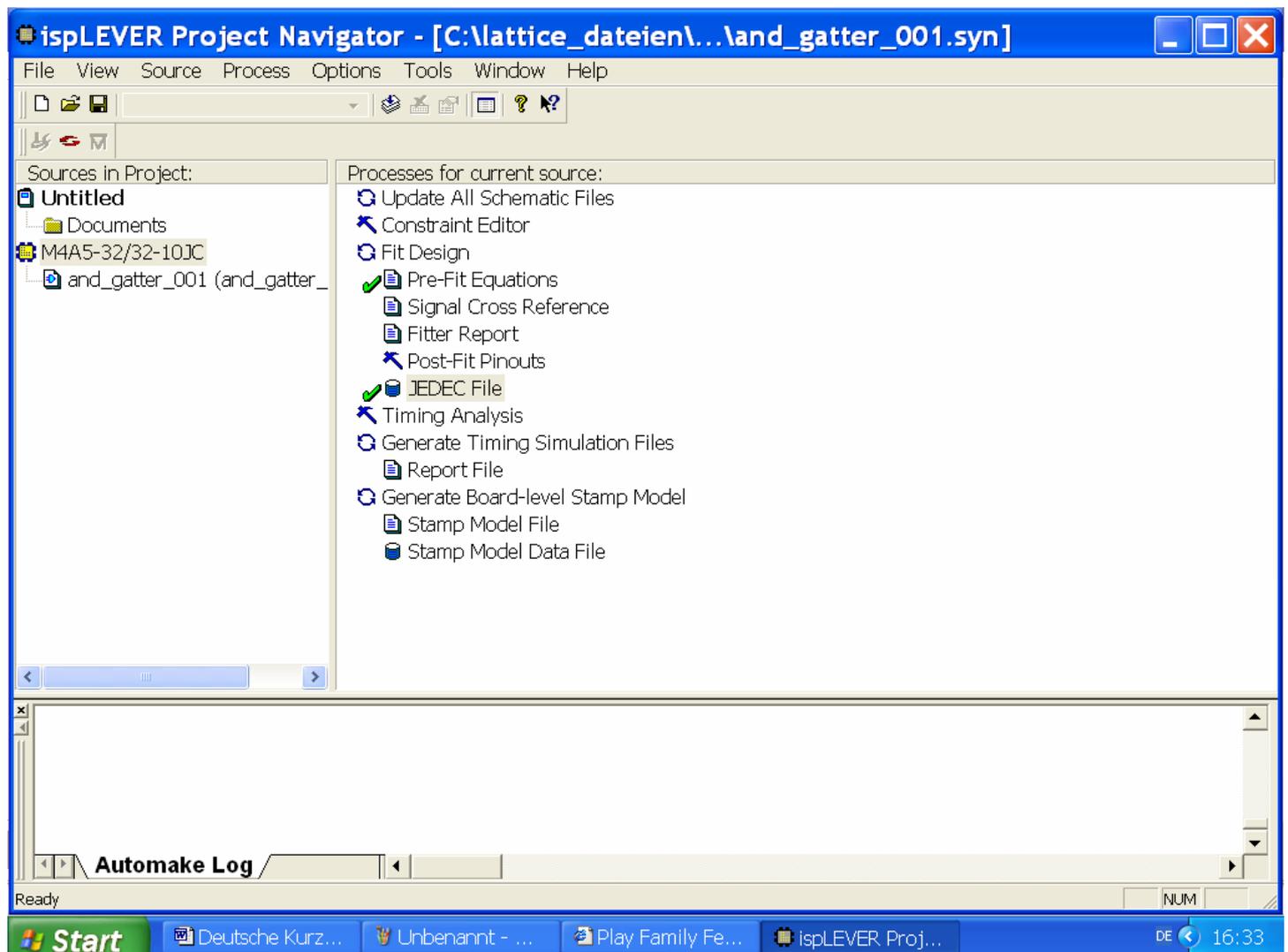


3. Codegenerierung (JEDEC-File)

Im "ispLEVER Projekt Navigator" den Passus "JEDEC-File" durch „Process“ und „Start“ (oder Doppelklick auf JEDEC File) aktivieren.



Es zeigt sich folgendes Bild (Haken am JEDEC File):
Danach kann der "ispLever Projekt Navigator" geschlossen werden.
Speichern mit „Ja“ quittieren.

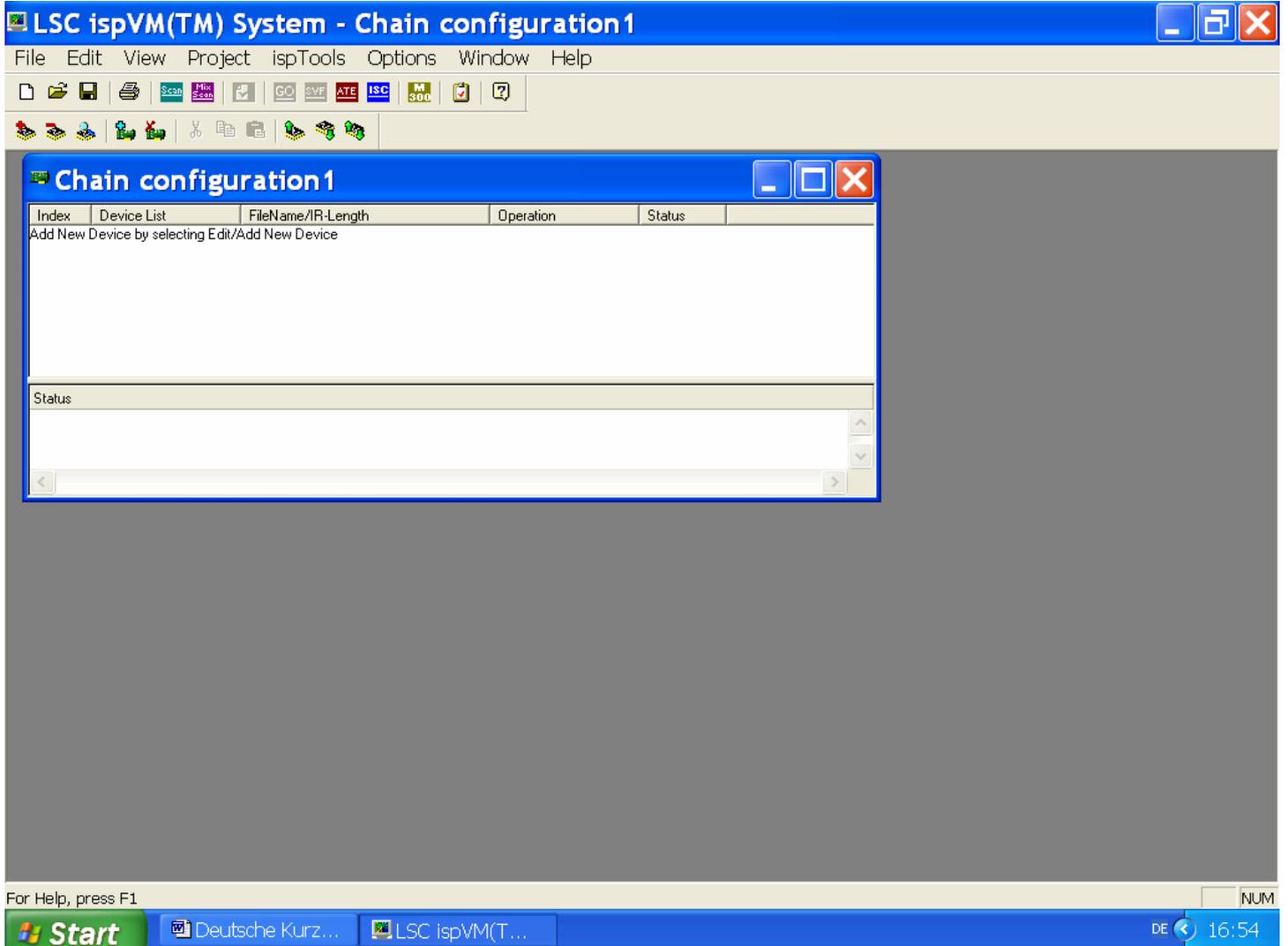


4. Laden der Schaltung in den Schaltkreis.

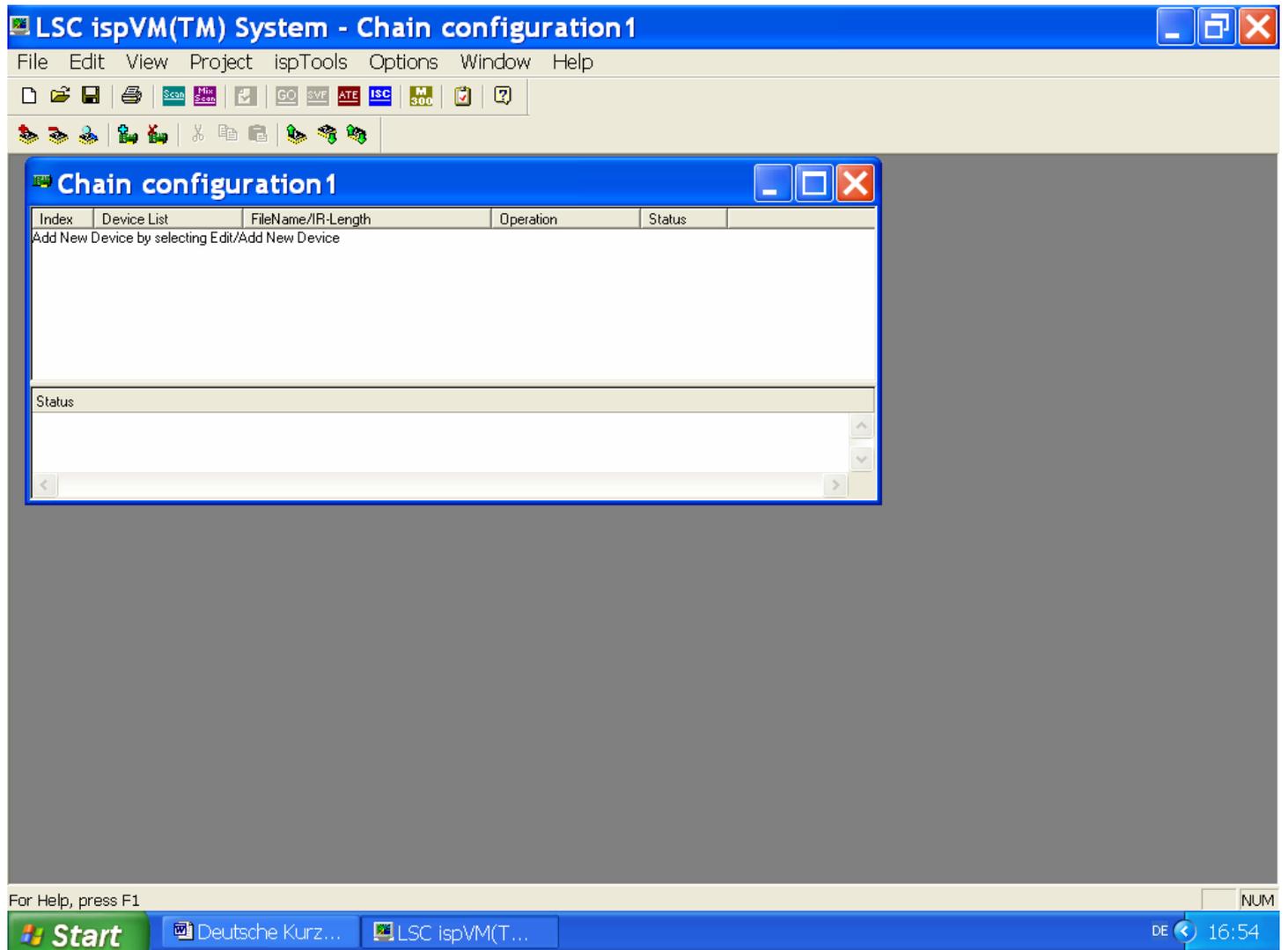
4.1. Starten des isp VM-Systems

Start / Alle Programme / Lattice Semiconductor / ispVM System

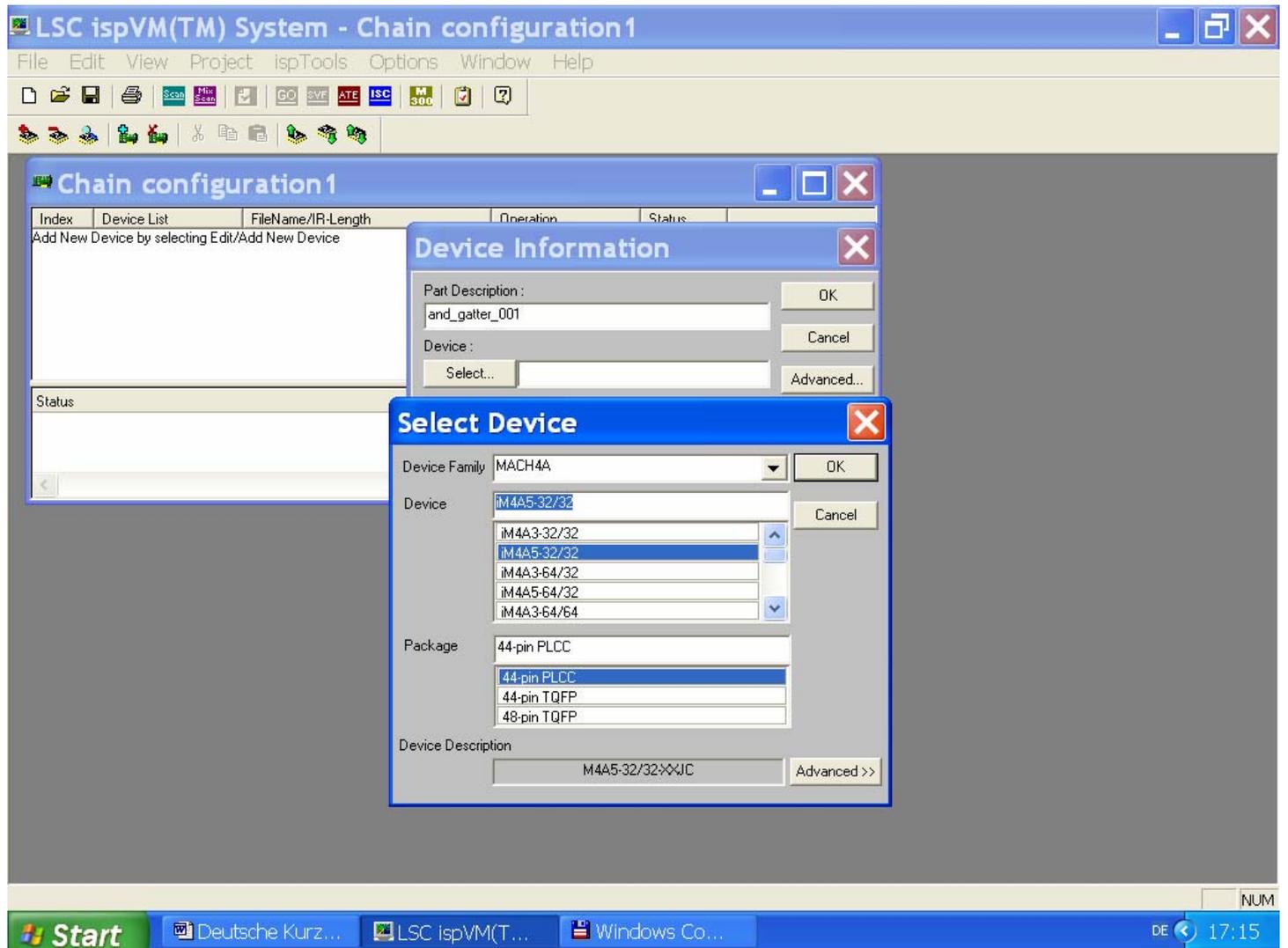
Ein neues Projekt (Chain configuration1) wird automatisch aufgerufen.
(Sonst mit File / New ein neues Projekt aufmachen)



Mit 2Edit“ / “Add Devices“ Dialog öffnen:



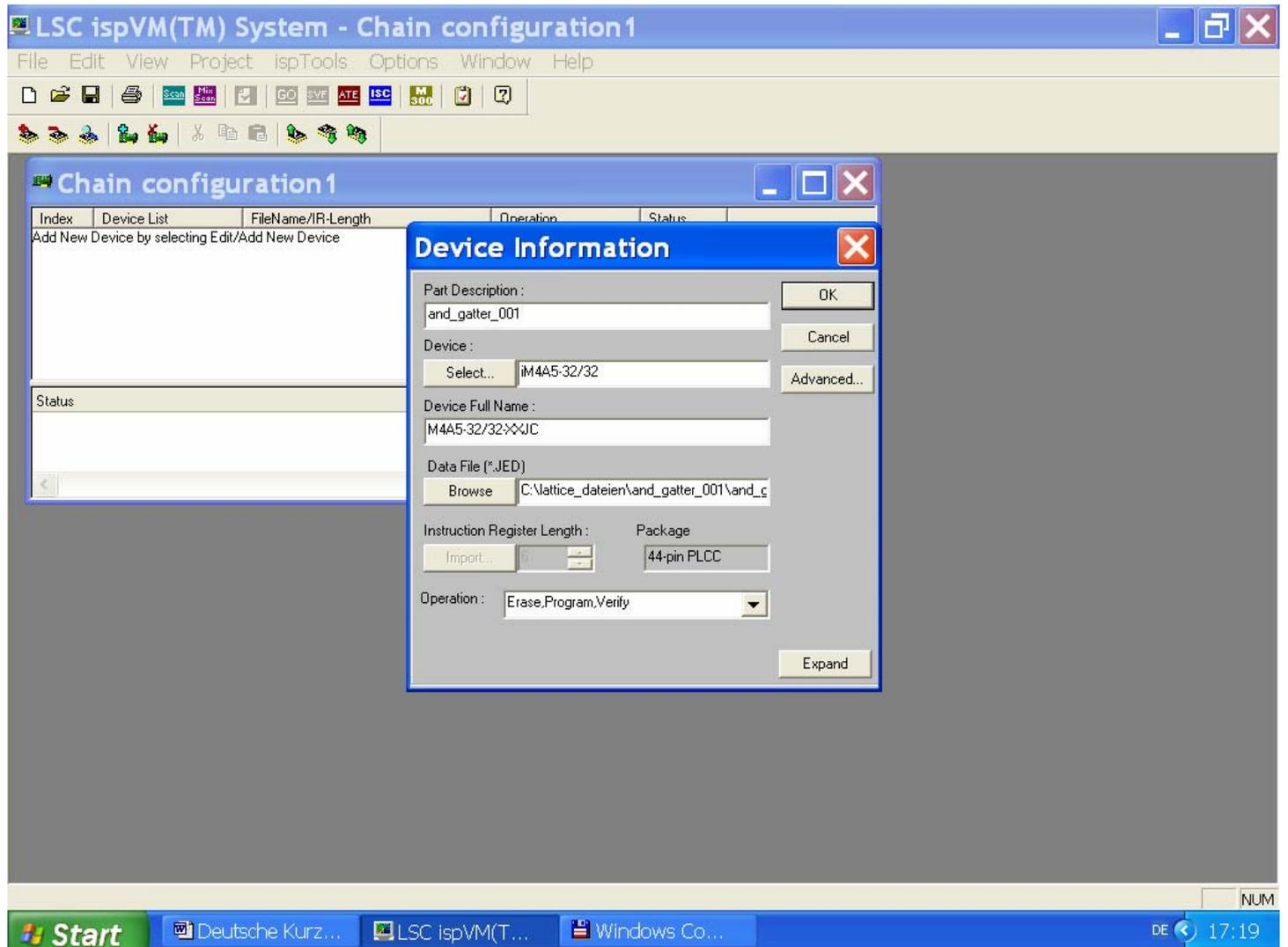
Mit „Device“ / „Select“ Folgende Einstellungen machen:



Unter Browse Den Jedec -File eintragen

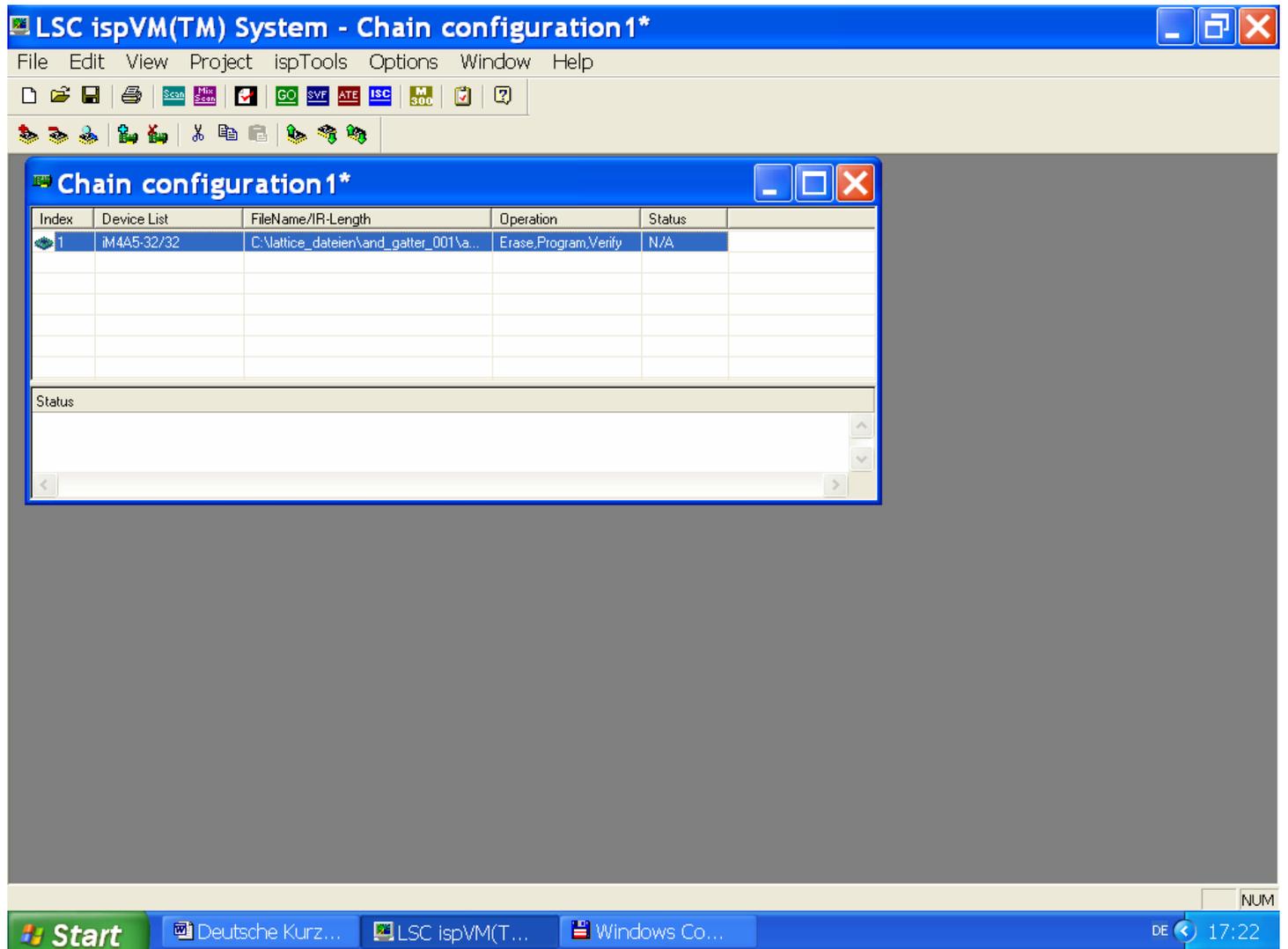
C:\lattice_dateien\and_gatter_001\and_gatter_001.jed

Und mit "Ok" quittieren.

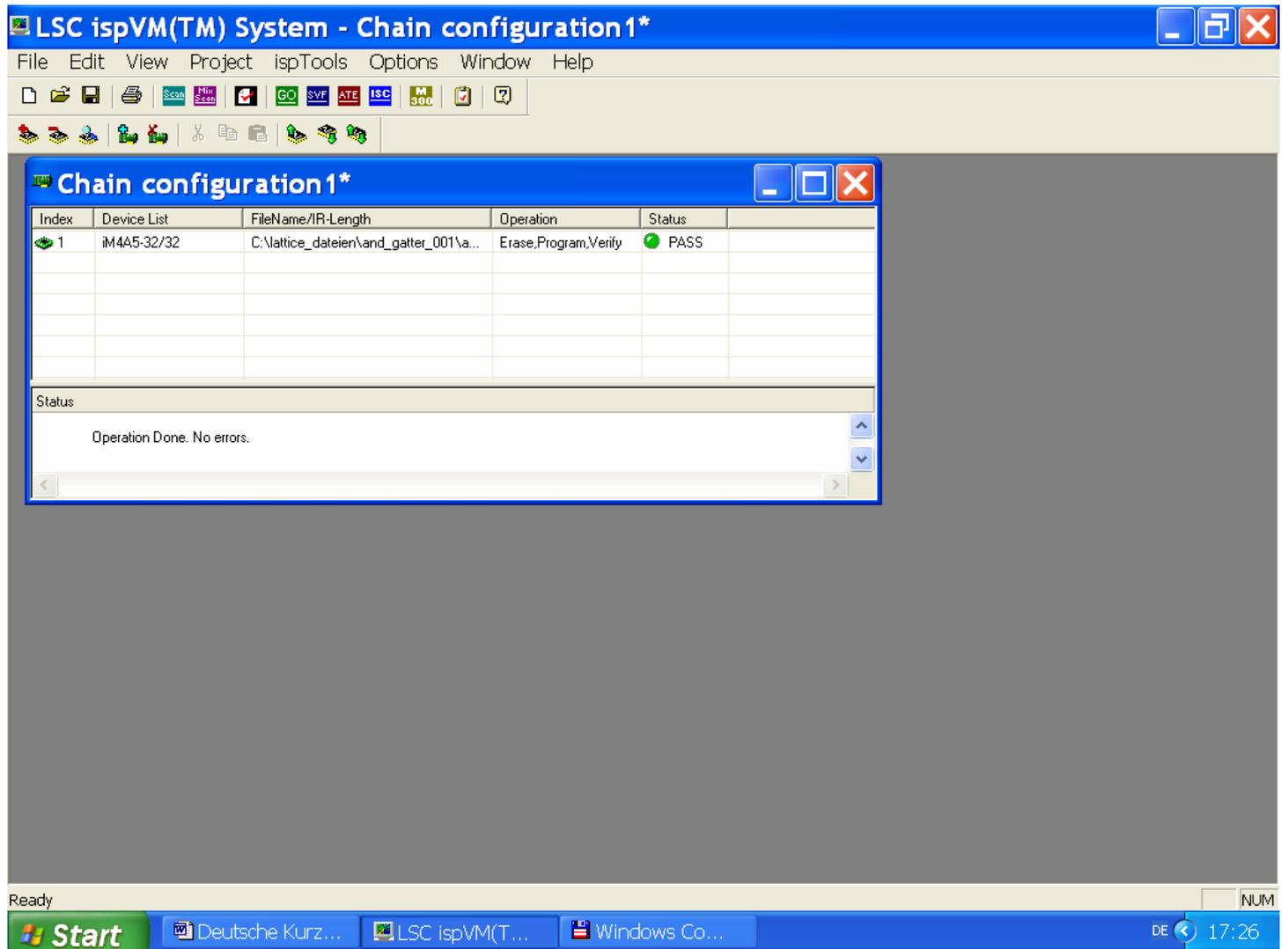


Es erscheint:

Danach das Herunterladen der Schaltung in den Schaltkreis mit „GO“ starten.

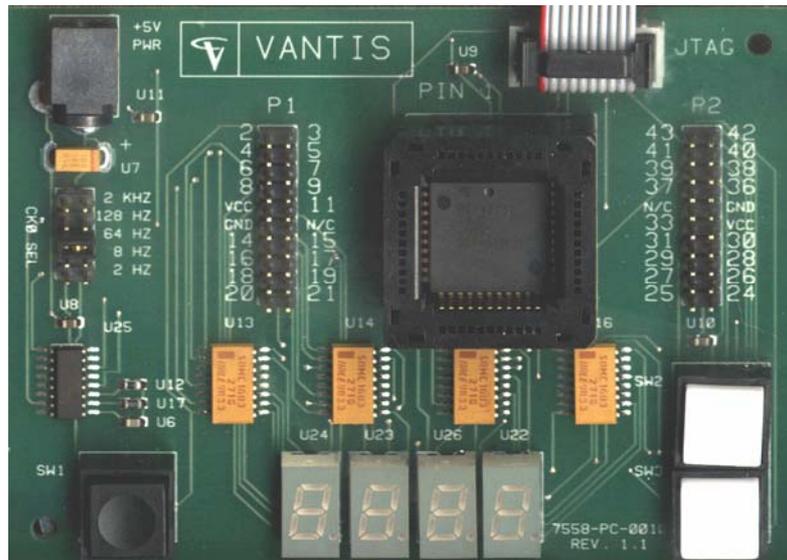


Bei erfolgreichem Download der Schaltung in den Schaltkreis im Board erscheint eine grüne Leuchtdiode bei „PASS“ und bei Status „Operation Done. No Errors“

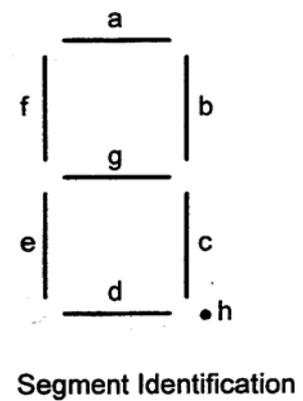
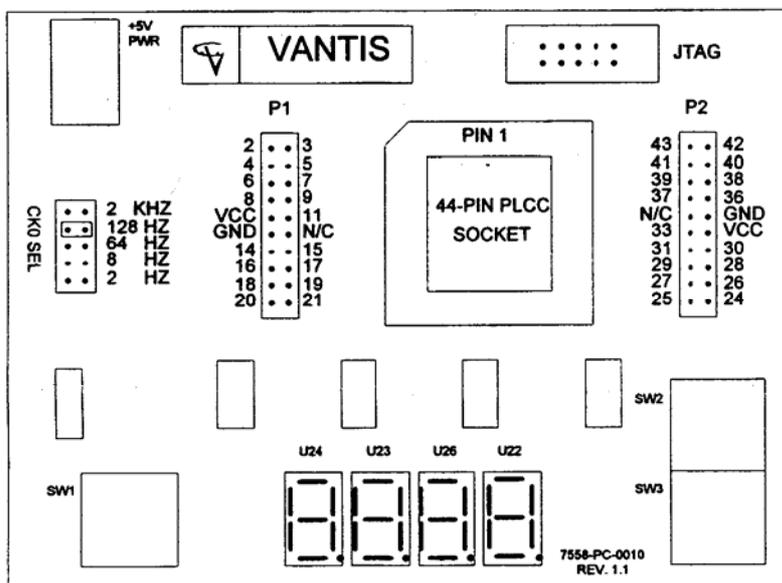


Anhang-Tabellen:

Anhang 1a - Demo Board



Anhang 1b - Demo Board (Schematisch mit Bezeichnungen)



VANTIS-READ ME FIRST; PROMO2.DOC; Rev.2, 1/4/1999; Seite 1

Anhang 2 - Demo Board Pinbelegung

Device Pin	Pin Definition	MACH Inputs	LED	Comment
1	GND			
2	I/O 0		U24-A	
3	I/O 1		U24-B	
4	I/O 2		U24-C	
5	I/O 3		U24-D	
6	I/O 4		U24-E	
7	I/O 5		U24-F	
8	I/O 6		U24-G	
9	I/O 7	SW1	U24-H (DP)	Use as Input only
10	TDI			
11	CLK 0 / I 0	CK0 Clock		Select with jumper
12	GND			
13	TCK			
14	I/O 8		U23-A	
15	I/O 9		U23-B	
16	I/O 10		U23-C	
17	I/O 11		U23-D	
18	I/O 12		U23-E	
19	I/O 13		U23-F	
20	I/O 14		U23-G	
21	I/O 15	SW2	U23-H (DP)	Use as Input only
22	VCC			
23	GND			
24	I/O 16		U26-A	
25	I/O 17		U26-B	
26	I/O 18		U26-C	
27	I/O 19		U26-D	
28	I/O 20		U26-E	
29	I/O 21		U26-F	
30	I/O 22		U26-G	
31	I/O 23	SW3	U26-H (DP)	Use as Input only
32	TMS			
33	CLK 1 / I 1	CK1 Clock		4 Hz Clock signal
34	GND			
35	TDO			
36	I/O 24		U22-A	
37	I/O 25		U22-B	
38	I/O 26		U22-C	
39	I/O 27		U22-D	
40	I/O 28		U22-E	
41	I/O 29		U22-F	
42	I/O 30		U22-G	
43	I/O 31		U22-H (DP)	
44	VCC			

VANTIS-READ ME FIRST; PROMO2.DOC; Rev.2, 1/4/1999; Seite 1

Anhang 3 - Schaltzeichentabelle

Verknüpfung und Schaltungsgleichung	Schalt- zeichen nach DIN 40700	Schalt- zeichen nach IEC 3AOC3	Schalt- zeichen im USA-Schrift- tum
UND $Q = A \wedge B = AB =$ $= A \cdot B$			
ODER $Q = A \vee B = A + B$			
NAND $Q = \overline{A \wedge B} = \overline{A \& B}$			
NOR $Q = \overline{A \vee B} = \overline{A + B}$			
Negation $\overline{Q} = A$			
Exklusiv-ODER $Q = \overline{A}B \vee A\overline{B}$			

Leonhardt, Erich: Grundlagen der Digitaltechnik. Berlin: VEB Verlag Technik 1976; S.40, Bild 2.39